

## Clasificación de memorias

Con respecto a la forma de acceso a los datos podemos clasificar las memorias como:

- Memorias de acceso aleatorio (RAM),
- Memorias de acceso secuencial (SAM),
- Memorias de acceso directo (DAM),
- Memorias de contenido direccionable (CAM) (también conocido como memoria asociativa).

Tiempo de acceso - intervalo de tiempo entre el instante de solicitud de datos de lectura/escritura y el instante en el que se ha completado la entrega de los datos o su almacenamiento se inicia.



## Clasificación de memorias de acceso aleatorio

Memoria de acceso aleatorio - el tiempo de acceso a cualquier pieza de información es independiente de la ubicación física de los datos. El tiempo de acceso es constante.

Las Memorias de acceso aleatorio puede ser clasificada como (fig. 1):7

- Memorias de lectura-escritura (normalmente conocida como RAM)
- Memorias de sólo lectura (ROM).

Dentro de las memorias de acceso aleatorio de sólo lectura distinguimos:

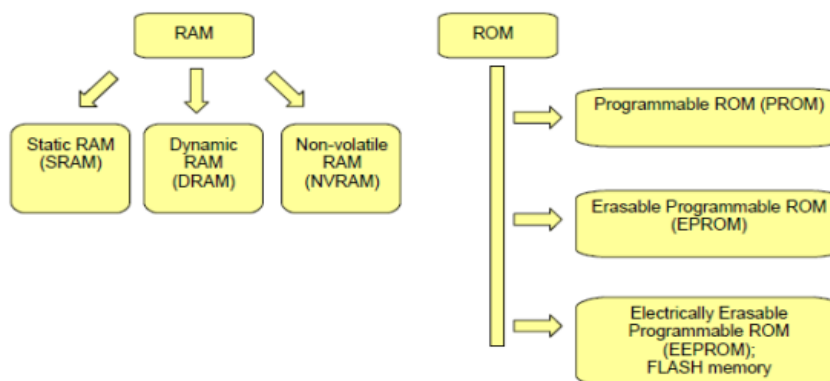


Fig.1

**Memorias de acceso aleatorio véase <http://www.youtube.com/watch?v=xdnNk6ylhrs>**

Las celdas de memoria de acceso aleatorio estático (SRAM) se componen de un biestable flip-flop conectado a la circuitería interna por dos transistores de acceso. (Figura 2a). Cuando no se

accede a la celda, los dos transistores permanecen cerrados, manteniendo el dato capturado en el flip-flop de una forma estable, permitiendo así el almacenamiento de datos y por lo tanto, a diferencia de las memorias RAM dinámicas, no existe la necesidad de actualizar periódicamente el contenido de la memoria. Los esquemas de una celda real de memoria SRAM de un bit se muestran en la figura 2 b (MOS y bipolar).

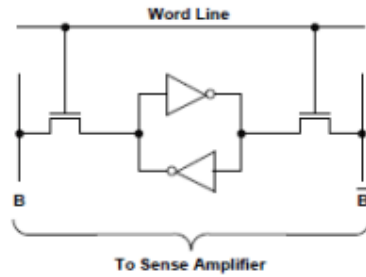


Figure 2a

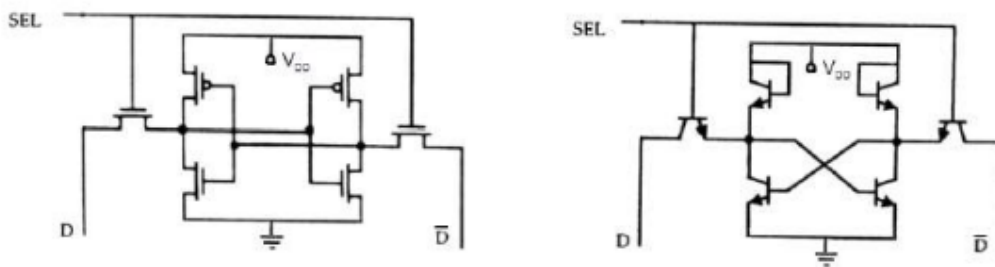


Figure 2b

Para hacer posible la escritura de datos en la celda SRAM será necesario activar la línea SEL y proporcionar un bit de información y su inversa en los inputs D y D' respectivamente.

La operación de lectura requiere la activación de la línea SEL. El bit de datos estará disponible en la línea D.

Pros y contras:

- Más rápido y consumen menos que las memorias DRAM,
- Más caro (6 transistores por celda).

## Celda de memoria

Los diferentes tipos de celdas SRAM se basan en el tipo de carga utilizada en el convertidor elemental de la celda flip-flop. Actualmente, existen tres tipos de celdas de memoria SRAM:

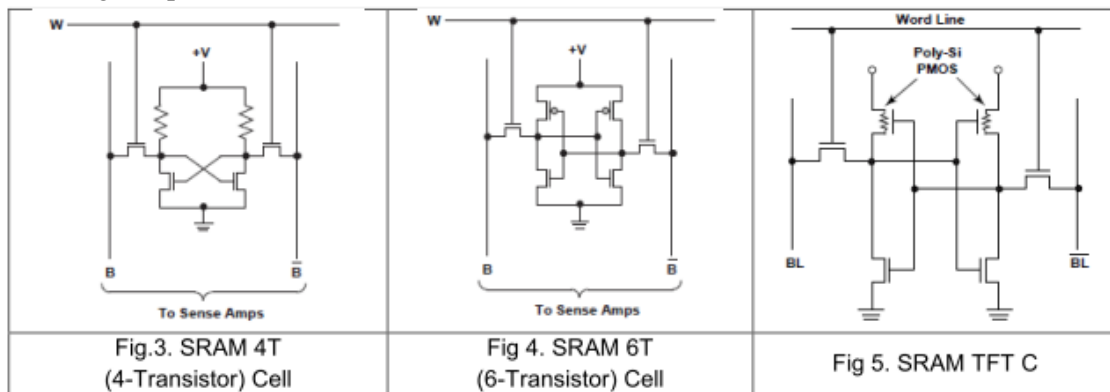
- **La celda 4T** (cuatro transistores NMOS y dos resistencias poly load) - Fig 3. El tipo más común de celdas SRAM se compone de cuatro transistores NMOS y de dos resistencias de poli-carga. Este diseño recibe el nombre celda SRAM 4T. Dos de los transistores NMOS actúan de transistores de paso. Los otros dos actúan de pull-downs de los inversores flip-flop. Las cargas de los inversores consisten en una gran resistencia de polisilicio. Las celdas 4t poseen varias limitaciones. Éstas incluyen el hecho de que cada una de ellas posee una corriente fluyendo en una resistencia (por ejemplo, las SRAM poseen una corriente en reposo muy elevada), la celda es sensible al ruido y a los errores débiles debido a la posesión de una resistencia tan alta, y además estas celdas no son tan rápidas como las 6T.

- **La celda 6T** (seis transistores: cuatro transistores NMOS y dos transistores PMOS) - Fig 4. Un diseño de celda diferente que elimina las limitaciones anteriores es el uso de un flip-flop CMOS. En este caso, la carga se sustituye por un transistor PMOS. Esta celda SRAM se compone de seis transistores, un transistor NMOS y PMOS un transistor por cada inversor, además de dos NMOS transistores conectados a la línea de fila. Esta configuración se denomina

una celda 6T. Esta celda ofrece mejores prestaciones eléctricas (velocidad, inmunidad al ruido, corriente en reposo) que una estructura de 4T.

La principal desventaja de esta celda es su gran tamaño.

• **La celda TFT** (cuatro transistores NMOS y dos cargas de llamadas TFT) - Fig 5. Los fabricantes han tratado de reducir la corriente que fluye en la resistencia de carga de una celda 4T. Como resultado, los diseñadores han desarrollado una estructura para cambiar, durante el funcionamiento, las características eléctricas de la resistencia de carga mediante el control del canal de un transistor. Esta resistencia está configurada como un transistor PMOS y recibe el nombre de transistor de película fina (TFT). Se forma mediante la deposición de varias capas de polisilicio por encima de una superficie de silicio. La estructura fuente/canal/drenaje se forma en la carga de polisilicio.



## Configuración

Como se muestra en la Figura 6, las SRAM se pueden clasificar en cuatro categorías principales: asíncronas, síncronas, especiales y no volátiles.

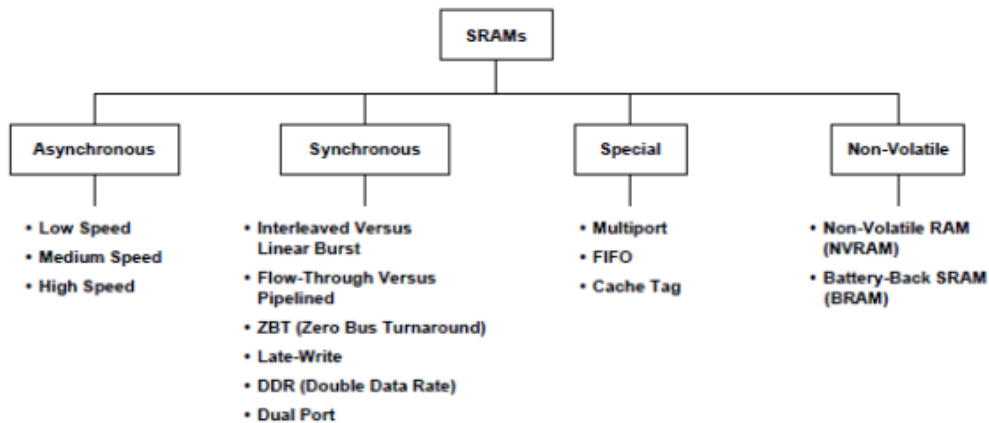
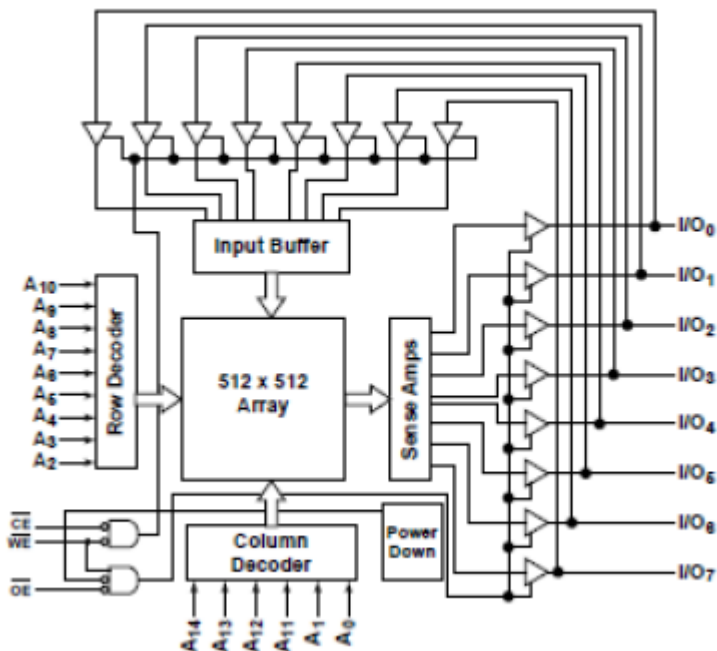


Fig. 6 Resumen de los tipos de SRAM

## SRAM asíncronas

La figura 7 muestra un diagrama de bloques funcional y la configuración típica de los pines de una SRAM asíncrona. La memoria se gestiona mediante tres señales de control. Una señal es la de chip seleccionado o chip activado (chip select (CS) o chip enable (CE)) que sirve para activar o desactivar el chip. Cuando el chip es desactivado, la parte permanece en stand-by (consumo mínimo de corriente) y los outputs permanecen en un estado de alta impedancia. Otra señal es la

de salida activada (output enable (OE)) que controla las salidas (datos válidos o alta impedancia). En tercer lugar, existe la señal de escritura habilitada (write enable(WE)) que permite seleccionar un ciclo de lectura o de escritura.



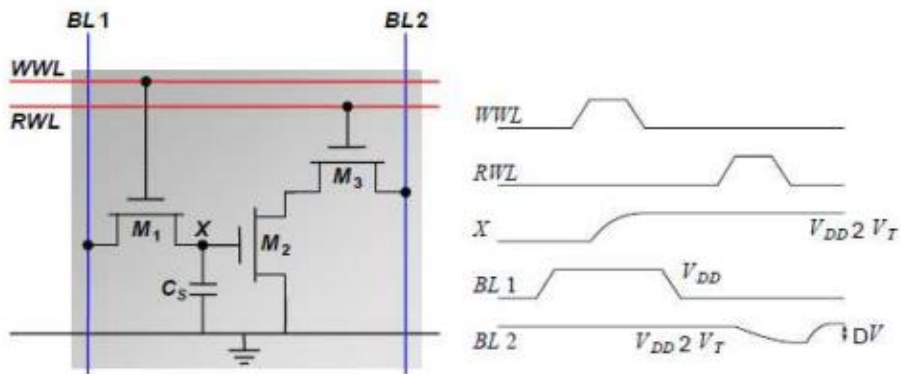
**Fig.7 SRAM Típica - diagrama de bloques lógicos**

Nota: para obtener más información, consulte el material adicional SRAM TECHNOLOGY.pdf

### **Memorias de acceso aleatorio dinámicas (DRAM)**

Las memorias de acceso aleatorio dinámicas se caracterizan por poseer una serie de desventajas (relacionadas con la necesidad de regenerar la información) así como por poseer una tecnología relativamente compleja. No obstante, debido a la relativamente pequeña superficie por bit con respecto a las memorias estáticas, este tipo de memorias ocupan una posición líder en el mercado de memorias. El área topológica de este tipo de memorias es de 6 a 10 veces menor que el empleado por las memorias SRAM, lo que conduce a una relación precio por bit 3 o 4 veces mejor.

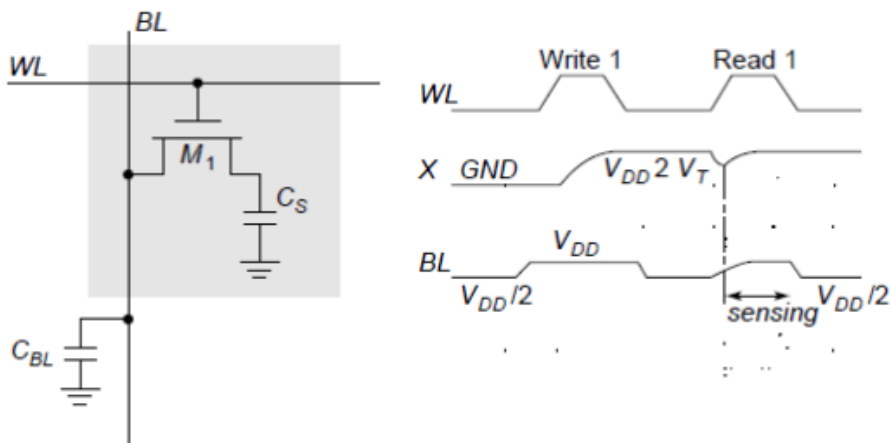
El diagrama de bloques de las memorias de acceso aleatorio dinámicas no difiere del de las memorias estáticas. Como ya se mencionó, la principal diferencia consiste en el tipo de celda de memorización. En el inicio de su desarrollo, las DRAM empleaban 4 transistores, y celdas de memorización de 3 transistores (fig 8).



- No hay restricciones en las proporciones del dispositivo
- Las lecturas no son destructivas
- El valor que se almacena en el nodo X cuando se escribe un "1" =  $V_{WWL} - V_{Tn}$

**Fig.8.** Celda DRAM de 3 transistores

Con el aumento de la capacidad de las memorias se impuso el uso de la celda de memorización de un transistor. Para la formación de celdas de memorización, se emplea normalmente un transistor de canal N, aunque en ocasiones se pueden utilizar transistores de canal P. Cada celda DRAM de un bit utiliza un condensador MOS para el almacenado de datos. Debido a que los condensadores tienen pérdidas, se necesita refrescar el contenido de la memoria periódicamente (por lo general una vez en  $T = 0,5 \div 2$  ms).



**Figura 9.** Celda DRAM de 1 transistor

El transistor T, después de una señal desde el bus de direcciones WL, conecta su área superficial con el bit-bus BL a través de su canal. Cada ciclo de lectura/escritura se inicia con un periodo preparatorio, durante el cual la capacitancia del bit bus CBL se carga hasta llegar a un nivel intermedio VDD:

$$V_{low} < V_{dd} < V_{high}$$

Donde  $V_{low}$  y  $V_{high}$  son los niveles lógicos "0" y "1", en el condensador que actúa como memoria  $C_s$ . Después de establecer  $V_{dd}$  en el bus elegido para lectura/escritura se envía un impulso y el transistor T se abre, como resultado las cargas eléctricas en la capacitancia parásita del bit bus  $C_{bl}$  y la capacitancia de memorización  $C_s$  se redistribuyen de tal manera que los potenciales se igualan. El alto potencial de la puerta del condensador mantiene un área superficial constantemente empobrecida. Esto corresponde con el estado lógico "0". Si durante el proceso de escritura se envía un "0" lógico hacia el bit bus, por ejemplo, un potencial bajo (U), entonces el estado del condensador no cambiará. En caso de escribir un "1" lógico, el

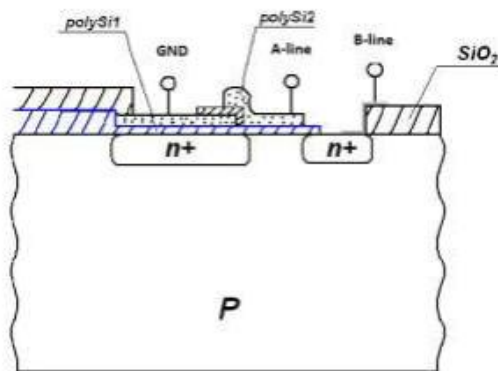
potencial del bit bus se incrementará hasta  $V_{high}$  y éste será enviado a través del canal T hacia el área empobrecida, como resultado el potencial del área superficial se incrementará. Las pérdidas parásitas, y la corriente de pre-umbral reducen el total de carga acumulada y como consecuencia el "1" escrito se ve gradualmente borrado. En el proceso de lectura el bit bus se conecta al amplificador de lectura y el potencial del área superficial del condensador MOS se envía a través del canal del transistor T abierto. Para guardar el nivel lógico "1" se lleva a cabo una regeneración cíclica de la información (por lo general una vez en  $T = 0,5 \div 2$  ms). Durante el período de lectura del nivel lógico "1" la carga memorizada se distribuye entre el condensador de memorización  $C_s$  y la capacitancia parásita del bit bus  $C_{bl}$ . En la práctica  $C_{bl} \gg C_s$

debido a que  $C_{bl}$ , la capacidad total del bit bus, une unas cuantas decenas de celdas y que  $C_s$  no puede ser muy grande ya que esto llevaría a incrementar el tamaño de las celdas. Como resultado para la lectura y la regeneración se impone la utilización de bit buses con un alto grado de reacción a potenciales pequeños- algunas decenas de milivoltios- así como el uso de amplificadores de alta sensibilidad. En el momento que tiene lugar la lectura, la información también se viola mientras la capacidad del condensador de memorización se reduce hasta un grado inadmisibles comparado con la capacitancia del bit bus.

Por lo tanto se impone la regeneración periódica. Para las celdas de memorización de las modernas DRAM domina la siguiente relación:

$$\frac{1}{15} \leq \frac{C}{C_B} \leq \frac{1}{10}$$

La figura 10 muestra el corte transversal de una celda de un transistor plano con polisilicio doble, en el papel de estructura capacitiva, formado a partir de un bus de poli-silicio, aislado del sustrato por una delgada capa de óxido de silicio.



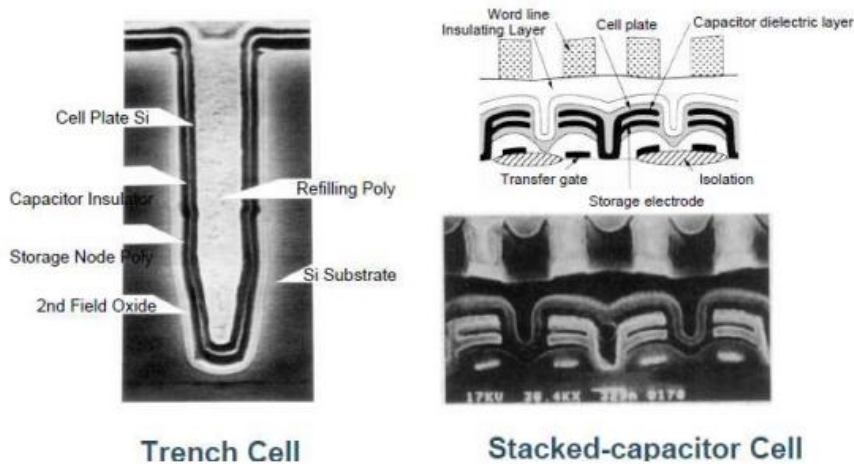
**Figura 10.** Estructura de celda 1-T DRAM

Para esta celda es característico tener un bajo valor de capacidad, lo que la convierte en inadmisibles para una grande DRAM. Las celdas de memorización tridimensionales son típicas para ello (Ejemplos de tales celdas son la celda de capacitancias apiladas y las celdas de capacitancia de foso).

## Observaciones celda DRAM

- 1T DRAM requiere un amplificador de detección para cada línea de bits, debido a la redistribución de carga en la lectura/salida.
- Las celdas de memoria DRAM tienen configuración single-ended en contraste con las celdas de SRAM.

- La lectura/salida de la celda DRAM 1T es destructiva; las operaciones de lectura y refresco son necesarias para el funcionamiento correcto.
- A diferencia de la celda 3T, la celda 1T requiere de la presencia de una capacidad adicional que debe ser explícitamente incluida en el diseño.
- Al escribir un “1” en una celda DRAM, se pierde una tensión de umbral. Esta pérdida de carga puede eludirse aplicando bootstrapping a las líneas de información hacia un valor mayor que Vdd.



*Figura 11. Celdas avanzadas 1T DRAM*

## Memorias de sólo lectura

Uno de los principales tipos de memoria que se utiliza en los ordenadores son las llamadas memorias de sólo lectura o abreviando ROM. ROM es un tipo de memoria que normalmente sólo se puede leer, en oposición a la memoria RAM que pueden ser de lectura o escritura. Hay dos razones principales por las que las memorias de sólo lectura son utilizadas en los PC:

**Permanencia:** Los valores almacenados en la memoria ROM están siempre ahí, si el equipo está encendido o no. La ROM se puede quitar del PC, almacenarla por un período indefinido de tiempo, y luego reemplazarla, y los datos que contiene seguirán ahí. Por esta razón, se llama de almacenamiento no volátil. Un disco duro es también no volátil, por la misma razón, pero las RAM normales no lo son.

**Seguridad:** El hecho de que la ROM no puede ser fácilmente modificada proporciona una medida de seguridad contra cambios accidentales (o malicioso) de su contenido. Por ejemplo no es posible encontrar virus que infecten verdaderas memorias ROM; simplemente no es posible. (Es técnicamente posible mediante EPROM borrables, aunque en la práctica nunca se ha visto).

La memoria de sólo lectura es más comúnmente utilizado para almacenar los programas a nivel de sistema que queremos tener a disposición del PC en todo momento. El ejemplo más común es el programa BIOS del sistema, que se almacena en una memoria ROM llamada BIOS ROM. Hay diversas variantes de la memoria ROM que pueden ser cambiadas en determinadas circunstancias; estos tipos podrían considerarse como “memorias de sólo lectura, en general”. :^) Los siguientes son los diferentes tipos de ROM con una descripción de su capacidad de modificación relativa:

♣ **ROM:** Una ROM normal se construye a partir de la lógica cableada, codificada en el mismo silicio, de esta forma está configurada la mayor parte de un procesador. Está diseñado para



realizar una función específica y no puede ser cambiado. Esto es inflexible y así las memorias ROM sólo se utilizan generalmente para la elaboración de programas estáticos (que no cambian a menudo) y producidos en masa.

♣ **ROM programable (PROM):** Este es un tipo de ROM que se puede programar utilizando un equipo especial; puede ser escrita, pero solamente una vez. De hecho, a la programación de una PROM se le llama también grabado, como al grabar un CD-R, siendo comparable en términos de flexibilidad.

♣ **ROM programable y borrable (EPROM):** Un EPROM es una ROM que se puede borrar y reprogramar. Se instala una pequeña ventana de cristal en la parte superior del paquete ROM, a través del cual se puede ver el chip que contiene la memoria. Utilizando una luz ultravioleta de una específica frecuencia a través de la ventana durante un periodo específico de tiempo, borrará la EPROM y permitirá que se vuelva a programar nuevamente. Obviamente esto es mucho más útil que una PROM normal, pero requiere la posesión de la luz de borrado.

♣ **ROM programable y borrable eléctricamente (EEPROM):** El siguiente nivel de capacidad de borrado es la EEPROM, la cual se puede borrar bajo control de software. Este es el tipo más flexible de las ROM, y se utiliza hoy día para la contención de programas BIOS. Cuando se escucha que se hace referencia a una “flash BIOS” o actualizar la BIOS mediante “flashing”, esto hace referencia a reprogramar la BIOS EEPROM mediante un software especial. En este caso estamos prácticamente borrando la línea que separa lo que es sólo lectura, pero hay que recordar que esta reescritura tiene lugar una vez al año o así, comparado con la memoria de reescritura (RAM) en la cual la reescritura tiene lugar en muchas ocasiones muchas veces por segundo.

*Nota: Una de las cosas que a veces confunde a la gente es que, dado que la memoria RAM es la contraria de la ROM (ya que RAM es de lectura y escritura y la ROM es de sólo lectura), y como RAM significa "memoria de acceso aleatorio", se tiende a creer que la memoria ROM no es de acceso aleatorio. Esto no es cierto; cualquier ubicación puede ser leída de la ROM en cualquier orden, por lo que este tipo de memoria es de acceso aleatorio. RAM recibe este nombre porque antes las memorias de lectura y escritura eran de acceso secuencial, y no permitían el acceso aleatorio.*

*Por último, otra característica de la ROM, en comparación a la memoria RAM, es que es mucho más lenta, utiliza típicamente el doble del tiempo de acceso que necesitan las memorias RAM o más. Esta es una razón por la que el código de la ROM BIOS se suele copiar a memoria RAM para mejorar el rendimiento al arrancar el PC.*

## **Producción de memorias ROM**

Hay dos tipos de máscara programable ROM que dominan en la práctica la producción :

- Fotomáscaras programables por medio de las cuales se define la superficie activa (ver fig.12).
- Fotomáscaras programables con las que se definen los orificios de contacto.

En el primer caso el contenido de la celda de memorización (0 o 1 lógicos) se define mediante las siguientes opciones: si existe una subentrada delgada de óxido (transistor activo) en la correspondiente estructura del transistor o formando una capa gruesa de óxido entre la fuente y el drenaje (transistor pasivo). Los transistores con una subentrada de óxido delgada tienen una tensión de umbral baja y se activan en el envío de la señal de dirección. Los transistores con óxido grueso poseen una mayor tensión de umbral y permanecerá abierta y en el input del



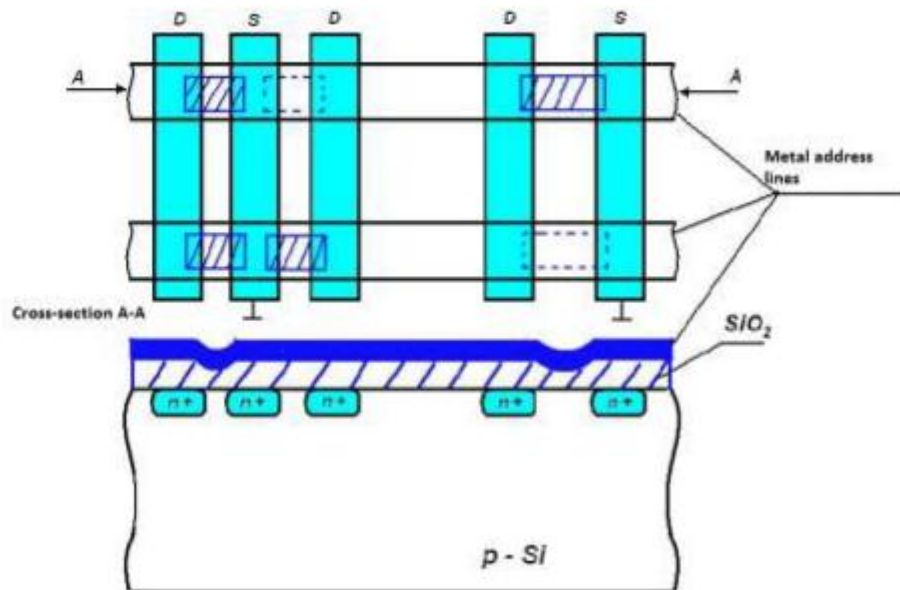
amplificador

leerá

un

“1”

lógico.



**Figura 12.** Memorias con máscaras programables constantes, se utiliza la máscara como zona activa.

Cuando se programa una ROM mediante fotomáscara de contacto, se define la conexión del bit bus metálico al drenador del transistor y la fuente del transistor se conecta al bus de difusión de tierra. Si hay un transistor con un contacto abierto en la intersección de las direcciones seleccionadas y los buses digitales, se abrirá y referenciará a tierra el bus digital. Ya que el bus de difusión referenciado a tierra tiene una resistencia elevada y como no es posible hacerlo largo, entonces en la construcción de la memoria a cada bus de 8 a 10 bits se le incluye un bus de tierra adicional.

La disponibilidad de un bus de metal adicional conduce a aumentar el área topológica de la celda en la programación con una foto-máscara de contacto. Así, para el proceso tecnológico CMOS de norma topológica de  $0,25\ \mu\text{m}$  la superficie de la celda de memorización reservada en la fotomáscara para la zona activa es de  $1\ \mu\text{m}$  y la correspondiente para la fotomáscara de orificios de contacto es de  $1.5\ \mu\text{m}$ .

Independientemente de que el área topológica de una ROM programada con orificios de contacto es mayor, ésta posee la ventaja de que la escritura constante en un cierto tipo de memoria se lleva a cabo en una de las últimas etapas del proceso topológico. Esto permite reducir el tiempo transcurrido desde la recepción del pedido hasta su realización. Apreciándose un aumento considerable de esta ventaja en las memorias de gran volumen realizadas en multicapas metálicas, donde la programación puede llevarse a cabo a través de aberturas de contacto o también entre los niveles de metalización.

## Memorias PROM y su programación

Por medio de procesos tecnológicos adicionales (evaporación de película delgada de níquel-cromo y

foto-litografía) para cada una de las celdas de estas memorias, se crea una resistencia de capa fina (fusible). El proceso de escritura consiste en el envío de impulsos de corriente programables con un valor, mayor que el valor para el que la resistencia ha sido programada y

quemándolo al correspondiente bus de direcciones se desconecta. Las memorias PROM se producen normalmente con tecnología bipolar. Como alternativa a quemar resistencias, ya que es posible el uso de diodos de ruptura. Este tipo de memorias ha reducido la densidad de información y la tecnología complicada. El área relativa de tales celdas es aproximadamente 4 veces más grande que el área de las celdas ROM de máscara programable. La cuota de mercado de las PROM se ha reducido debido a las memorias reprogramables y actualmente tiende a desaparecer.

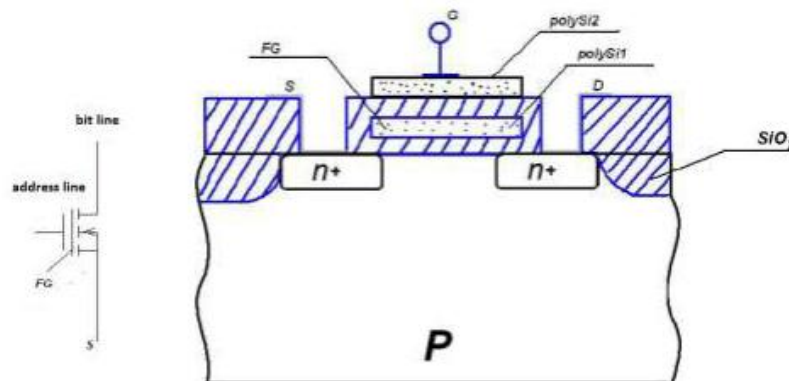
## EPROM

Esta clase de memorias posee una serie de características positivas tanto de las memorias de operación como de las memorias constantes. Su similitud con las memorias constantes radica en su independencia de la energía, y de la misma manera que las de operación, pueden ser escritas muchas veces. A diferencia de las memorias de operación, las reprogramables necesitan un mayor tiempo para eliminar la información antigua y para escribir la nueva, estos procesos pueden durar desde milisegundos hasta decenas de minutos.

El uso de memorias de máscara programable es económicamente provechoso para grandes series de producción mientras que para circuitos con una escritura pero sin embargo con series cortas es mucho más útil el uso de ciertos tipos de memorias reprogramables.

La principal estructura de memorización en las memorias reprogramables es el transistor MOS con compuerta flotante. Teniendo en cuenta la forma de supresión de la información y la estructura del transistor de memorización, las memorias reprogramables pueden ser clasificadas en tres grupos básicos: memorias constantes programables eléctricamente (EPROM), memorias constantes reprogramables eléctricamente (EEPROM) y memorias flash.

Fig. 13 muestra el diagrama y la estructura de una celda EPROM.



**Figura 13.** Representación esquemática y estructura de una celda EPROM

Además de la compuerta de control también contiene una segunda compuerta aislada a partir del polisilicio (compuerta flotante), que se forma sobre una capa de óxido muy delgada encima de la zona entre la fuente y el drenador. El proceso de escritura de información se lleva a cabo por medio de una inyección de electrones calientes en la puerta flotante que genera una rotura por avalancha en el drenador.

El bus de dirección se forma por la compuerta de control en el proceso de escritura del "0" lógico, se aplica un voltaje de gran amplitud ( $U_{ds} > 4V$  y  $U_{gs} = 8V$  en las memorias, realizado por la tecnología de  $0.25\mu m$ ) en el drenador y en el bus de direcciones. Como consecuencia, una corriente de unos  $0,5 mA$  fluye entre la fuente y el drenador. Parte de los electrones en el canal obtienen suficiente energía para atravesar la capa de óxido e ir a parar a la compuerta flotante.

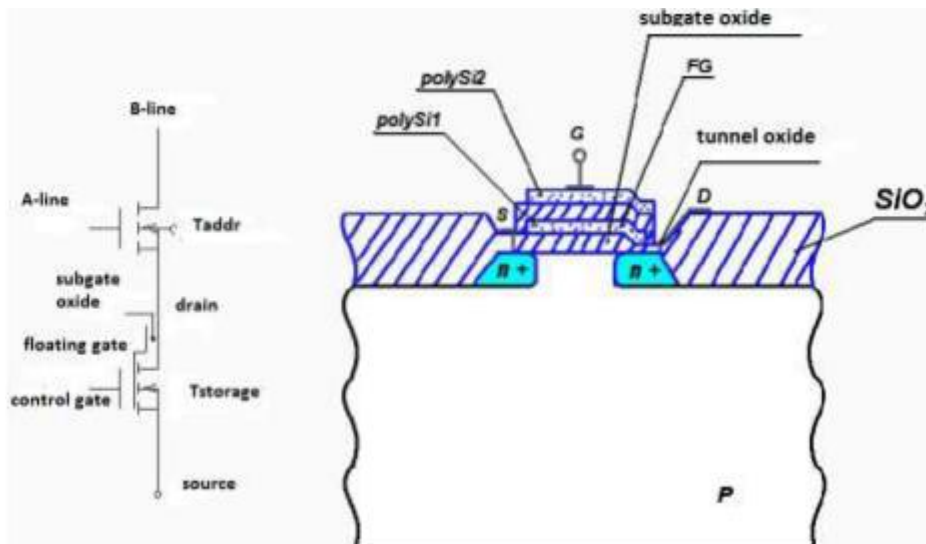
Las pérdidas de carga de la compuerta flotante son muy lentas (decenas de años) debido a las buenas propiedades de aislamiento de la lámina de óxido, que rodea la compuerta. La carga acumulada en la compuerta incrementa el voltaje de umbral.

El voltaje del bus de direcciones en modo lectura se selecciona con una amplitud tal que el transistor con carga negativa acumulada en la compuerta flotante permanece cerrado, mientras el transistor sin carga se abre.

Eliminar datos se realiza mediante luz ultra-violeta a través de la barrera de potencial de la capa fina de óxido hacia el sustrato semiconductor. El número de ciclos programación/borrado es limitado (100 ÷ 1000 ciclos). Para muchas aplicaciones las memorias EPROM son programadas solo una vez. Para este tipo de aplicaciones los módulos EPROM son montados en paquetes de plástico estándar sin ventana.

## EEPROM

Eliminar datos en las memorias EEPROM se lleva a cabo eléctricamente. Esto ocurre al canalizar los portadores de carga a través de la capa fina de óxido. Fig. 14 muestra la construcción de este tipo de estructuras de memorización.



**Figura 14.** Representación esquemática de la estructura de una celda EEPROM con transistor como estructura de memorización.

La canalización de electrones tiene lugar en la zona activa cónica situada encima del drenador. La aplicación de un fuerte campo eléctrico a través del túnel de óxido (10 MV/cm) causa el llamado canal Fowler-Nordheim (FN). La reducción del voltaje de umbral del transistor se obtiene presentando un pulso de gran amplitud (12 ÷ 15 V) así el potencial de la compuerta de control se restaura. La celda se elimina aplicando voltajes inversamente polarizados, causando un flujo de electrones hacia la compuerta flotante y mediante la reconstruyendo el alto voltaje de umbral del transistor de memorización. Después de un largo periodo de ciclos de escritura/borrado se observa una reducción en la diferencia entre los niveles bajo y el del voltaje de umbral. Este límite de número de ciclos de escritura/borrado es de alrededor de  $10^5$ .

Es característico de las EEPROM que la información, procedente de cada transistor tiene que ser eliminada por separado. Debido a la necesidad de un acceso individual a cada celda, las EEPROM tienen menor densidad de información que las EPROM.

## Memorias Flash

En las memorias flash toda la memoria o sectores individuales pueden ser eliminados simultáneamente. Dos tipos diferentes de memorias flash pueden distinguirse: con estructura EPROM o con EEPROM. En el primer tipo el proceso de escritura se lleva a cabo mediante el efecto de electrones calientes, y el borrado se lleva a cabo mediante túnel FN. En las memorias flash EEPROM los procesos de escritura y borrado se logran por el mecanismo de túnel FN. La diferencia entre la creación de memorias EEPROM estándar y memorias flash radica en la arquitectura y en la estructura de la celda de memorización. Los productores de memorias flash garantizan más de  $10^4$  ciclos de escritura/borrado.

El incremento de la densidad de información contenido en las memorias flash se obtiene reduciendo las normas topológicas además de con el uso de la tecnología STI. Otra aproximación sería el uso de celdas multinivel (MLC). En este tipo de celda la reducción topológica se logra mediante diferentes cantidades de cargas en la puerta flotante para cada una de las cuatro posibles combinaciones de dos bits que pueden ser presentadas.



**Figura 15.** Ejemplos de aplicación de las memorias flash

## Otros tipos de RAM

### Memoria de acceso aleatorio no volátil (NVRAM)

Con este nombre nos referimos a cualquier tipo de memoria en la que no pierde la información cuando el equipo se apaga. A excepción de las memorias ROM, NVRAM también incluye memorias de acceso aleatorio volátil convencionales con batería de soporte como las memorias de la BIOS (Basic Input Output System).

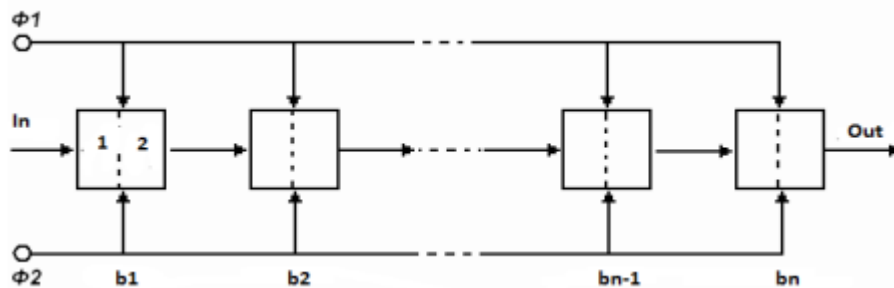
### RAM Ferroeléctricas- FRAM

FRAM – la celda de memorización se basa en el estado de polarización de un condensador ferroeléctrico. En este tipo de condensadores se utilizan como dieléctrico materiales dipolares-cristales Perovskita. Después de aplicarles un campo eléctrico, estos cristales se polarizan. Manteniendo el estado de polarización incluso al eliminar el campo eléctrico. Dicho dieléctrico únicamente se despolariza al aplicársele un campo eléctrico en la dirección opuesta.

La celda FRAM moderna se compone de un único transistor y de un solo condensador siendo muy parecida a una celda DRAM. Durante el proceso de lectura se le aplica un campo eléctrico al condensador y la corriente que circula a través de la celda es percibida por un amplificador de lectura. La información en la celda tiene que ser reescrita después de cada lectura. Debido a la alta constante dieléctrica del dieléctrico utilizado, la densidad de carga en una celda FRAM es mucho mayor que la que existe en una DRAM, lo que permite diseñar celdas con menor superficie. El número de ciclos de escritura/lectura de las FRAM es de  $10^{10}$  a  $10^{12}$ .

## Memorias con acceso secuencial

Este tipo de memorias se realizan en el formato de registros de desplazamiento estáticos o dinámicos. La información es escrita y guardada en celdas conectadas en serie (Fig. 15).



**Figura 16.** Estructura general de un registro de desplazamiento

Cada celda de memorización del registro de desplazamiento consta de dos partes (1 y 2), las cuales imponen el uso de dos señales de choque para la información de entrada y de salida. Estas celdas se usan porque la introducción de información nueva y la entrega de información antigua se lleva a cabo en diferentes partes de la celda. Con la llegada de la señal  $F1$  se transfiere información desde zona de salida de cada celda de memorización hacia la zona de entrada de la celda siguiente. Con la llegada de la siguiente señal  $F2$  se transfiere información desde la parte de entrada de la celda a su parte de salida.

Los registros de desplazamiento estáticos contienen en cada una de sus celdas un disparador con una entrada separada para los impulsos de choque. Las señales de choque pueden ser paradas sin pérdida de información. Los registros de desplazamiento dinámicos contienen un condensador MOS como celda de memorización así se necesita una carga de regeneración en el condensador. La regeneración de datos escritos se consigue por la constante presentación de señales de choque entre el output y el input del registro de desplazamiento.

Los registros del tipo FIFO (First In, First Out) también encuentran aplicación. A pesar de las similares formas de transmisión y entrega de información, existen diferencias entre los registros de desplazamiento anteriormente descritos y los registros de desplazamiento tipo FIFO. En los registros de desplazamiento FIFO las señales de choque son reemplazadas por dos funciones de señal diferentes. La primera de ellas permite la introducción de datos nuevos en la memoria, mientras que la segunda permite la visualización de la información guardada. Estas señales son independientes una de la otra y pueden poseer frecuencias diferentes. En los registros FIFO la información, introducida en las primeras celdas de memorización, es inmediatamente transferida a través de todas las celdas libres y es escrita en aquella celda vacía más próxima a la celda de salida. Después de entregar la señal, permitiendo la visualización de la información, los datos de la última celda son leídos, mientras los datos de las otras celdas se desplazan una celda hacia el output. De este modo el tiempo para mantener la señal entre el input y el output del dispositivo se ve reducido.

Debido a la alta competencia ejercida por las SRAM y DRAM, la aplicación de memorias de acceso secuencial se ha estrechado. Aplicaciones típicas para esta clase son la elaboración de memorias, que están construidas como parte de circuitos integrados extra-grandes (microprocesadores, memorias), así como la elaboración de terminales de vídeo.

## Memorias de contenido direccionable

Las memorias de contenido direccionable (CAM) también conocidas como memorias asociativas, son un tipo de memorias de ordenador que se utilizan en aplicaciones que requieren una alta velocidad de búsqueda. Tales memorias responden con un estatus “hit” o “falta de hit” a un vector de datos (patrón) dado en su entrada. La búsqueda consiste en la comparación de todas las palabras almacenadas en la memoria con el patrón dado. La palabra de máscara que indica todos los bits esenciales también tiene que ser tenida en consideración. Si la búsqueda finaliza con “hit” una de las palabras que cumpla es copiada en el buffer de salida. La palabra que haya sido se determina por el multiply match resolver (MMR).

## CAM/SAM

Aplicaciones de CAM.

Enrutamiento y conmutación de dispositivos en los que se requiere la resolución rápida de direcciones de recipientes de datos.

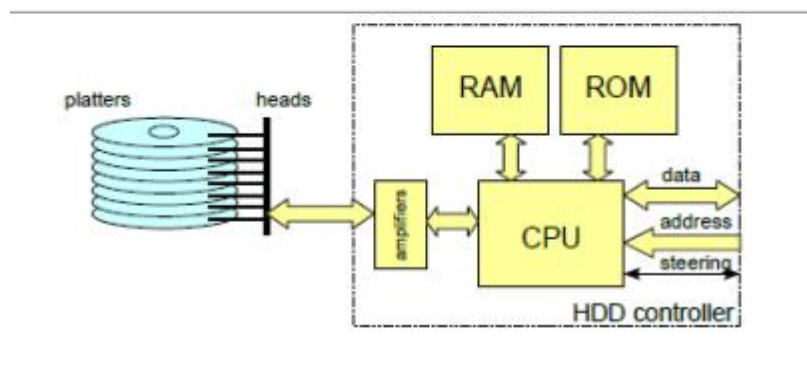
CPU y memorias caché de la unidad de disco.

## Unidad de Disco Duro (HDD)

Es un tipo de memoria de dispositivo mecánico en la cual los datos son codificados en forma de impulsos magnéticos en bandejas cubiertas con materiales ferromagnéticos magnetizables. El típico HDD está formado por: motores lineales y motores paso a paso, cabezales de lectura-escritura, bandejas y controlador de disco. El controlador incluye una unidad central de proceso, memorias RAM y ROM y circuitos amplificadores de datos. La comunicación entre la CPU y el HDD requiere de transmisiones de datos, comandos (hacia los registros apropiados del controlador del HDD) y palabras de estado.



Hard disk drive memory





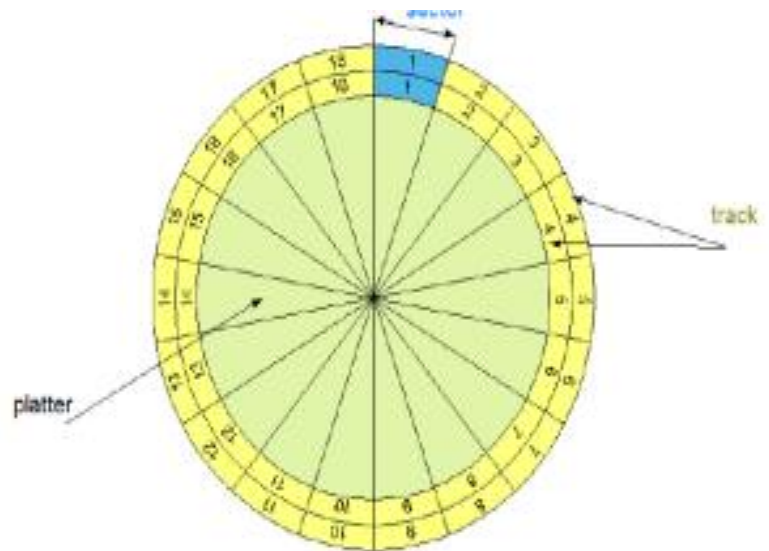
### Organización física de los discos:

**Cabezal** - se corresponde con uno de los lados de un plato;

**pista** - zona circular del plato donde los datos son almacenados;

**sector** - fragmento de pista, que es la parte más pequeña de datos que se puede leer o escribir en el disco;

**cilindro** - un conjunto de pistas con el mismo número pertenecientes a diferentes bandejas.



Physical organisation of a disk

### Organización física de un disco

Capacidad del disco =  $n^{\circ}$

$\text{cabezales} * n^{\circ} \text{ _pistas} * n^{\circ} \text{ _sectores} * 512[B]$

#### Track



#### Beginning of a track (BOT)



#### Sector



#### End of track (EOT)



Estructura de una pista de un disco:

S (BOT) - 11 bytes 00h, D1 - 0A1FCh, Z1 - 12 bytes 0FFh, S - 10 bytes 00h, D3 - 5EA1h, ID - Dirección sector ID: Byte 1 - número de pista, byte 2 - Número cabezal, byte 3 - Número sector, byte 4 - Estado del sector (sector no válido, sustitución del sector en el área de repuesto), ECC-1, 2 - byte de código de corrección de errores (corrección de hasta 11 errores), Z2 - 5 bytes 00h, D4 - 5EA1h, DATA - 512 bytes, Z3 - 3 bytes 00h y de 17 bytes 0FFh, Z4 - cerca. 93 bytes 00h.

Los campos de pista restantes desempeñan las siguientes funciones: S - cabezal controlador del campo de sincronización; D1, D2, D3 y D4 - firmas que indican el comienzo de las partes específicas de una pista, Z1, Z3 - huecos de compensación de las variaciones en la velocidad de rotación de la bandeja. Esta estructura se determina durante el formateo de bajo nivel.

Durante el proceso de fabricación de los discos se comprueban los sectores no válidos (dañados). Cada disco contiene en su pista -1 la lista de sectores no válidos. Esta lista se llama Grown Error List (GEL).

Existen una gran variedad de herramientas que permiten visualizar la GEL del disco. Cada pista contiene un área de repuesto para reemplazar los sectores dañados. Por lo tanto los sectores



dañados de una pista pueden ser reemplazados con una operación simple de omisión de sector. Este tipo de operación es transparente para los sistemas operativos. Los códigos de corrección de errores (ECC) – constituyen una protección adicional para el almacenaje de datos en sectores y permiten corregir hasta 11 bits dañados.

## CD-ROM

En los discos compactos (CD) se utiliza una pista en espiral para almacenar los datos. Los datos son almacenados como una serie de hendiduras microscópicas (“pits” hoyos, fosos) que causan una interferencia destructiva a una luz láser causándole una reducción de intensidad al rayo reflejado.

La densidad lineal de datos es constante, lo que significa que la velocidad de rotación del disco es lineal. Tal enfoque requiere de circuitos de lectura/escritura más complicados. La pista se divide en sectores que almacenan 2352 bytes cada uno. Los primeros 12 bytes contienen datos de sincronización y los siguientes cuatro un cabezal de sector. Los siguientes 2kB están predestinados para almacenar datos de usuario y a continuación tenemos: 4 bytes de códigos CRC, 8 bytes rellenos con ceros y 278 bytes de ECC.

### Características CD-ROM:

Más lentos que un disco duro

Los datos son codificados grabando hendiduras en miniatura en una superficie reflectora de la luz; leídos por láser.

Pueden almacenar hasta 650MB de datos.

La transferencia de datos máxima de un CD-ROM se expresa en múltiplos de 150KB/s

4X --> 600KB/s

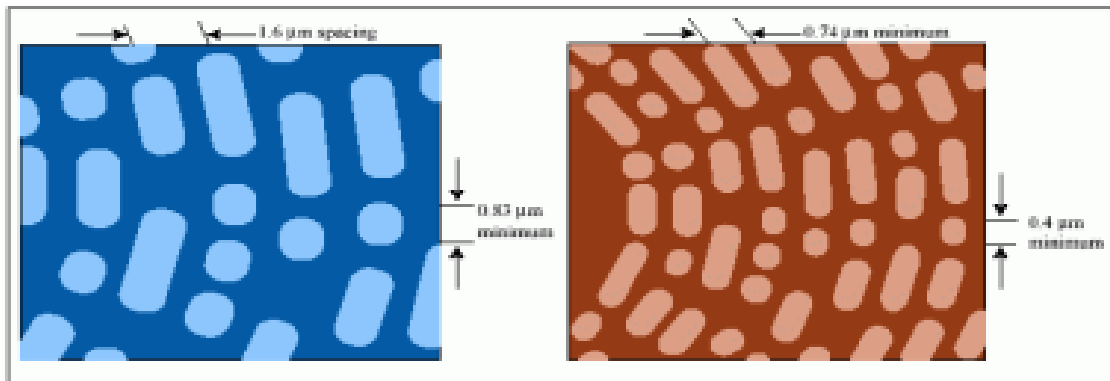
20X --> 3000KB/s

### Componentes de un reproductor de CD



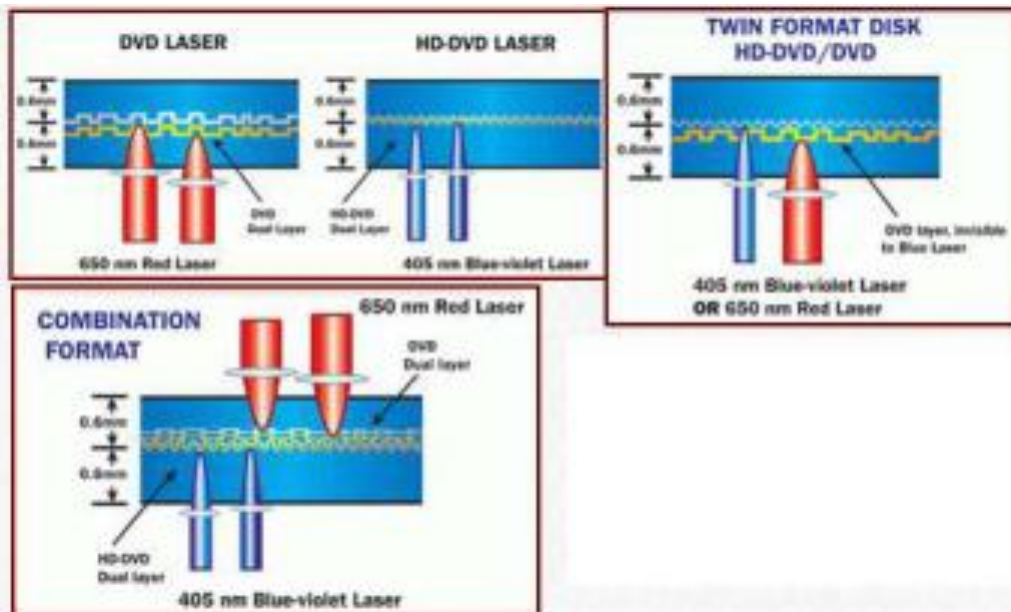
## Disco de vídeo digital DVD

Nuevo CD-ROM mejorado; más pequeño, con hendiduras más densas, dos capas de hendiduras grabadas en el mismo disco. Los DVD pueden contener hasta 27GB de datos.



## Discos ópticos de alta densidad

Actualmente existen dos tecnologías principales: HD (High Definition) DVD (Toshiba y NEC) y Blue-Ray o BD (Sony). Ambas utilizan un haz láser azul-violeta de 405nm de longitud de onda. La diferencia en la longitud es un prerequisite para la alta capacidad, que tanto BR como HD-DVD ofrecen. Existen tecnologías que utilizan formatos combinados para hacerlos compatibles con el DVD convencional (Imágenes 2ª y 3ª)



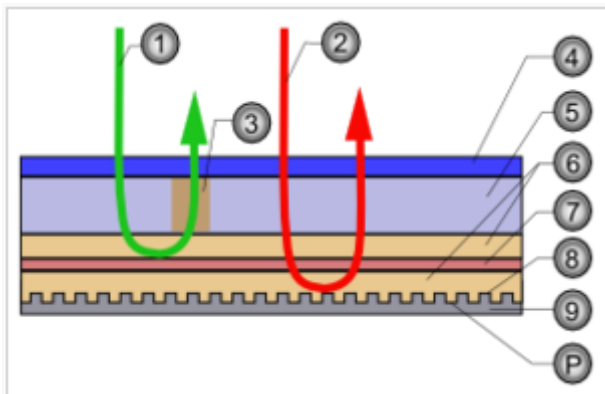
(El 20 de julio de 2010, el equipo de investigación de **Sony y la Universidad japonesa de Tohoku** anunciaron el desarrollo conjunto de un láser azul-violeta, el cual ayudará en la creación de **discos Blu-ray** con un **capacidad de 1 TB** (doble capa). Para comparar el primer láser azul, inventado en 1996, con los primeros discos prototipo que llegaron cuatro años después, consultar: [http://en.wikipedia.org/wiki/Blu-ray\\_Disc](http://en.wikipedia.org/wiki/Blu-ray_Disc) )

## HVD (disco holográfico versátil)

El disco holográfico versátil (HVD) es una tecnología de disco óptico desarrollado por HVD Alliance entre abril de 2004 y mediados de 2008, en la que se pueden almacenar hasta varios

terabytes de datos en un disco óptico de 10 cm de diámetro. La reducción del radio implica una reducción de costes y de materiales empleados. Estos discos emplean una técnica conocida como holografía colineal - en la cual dos láseres, uno rojo y otro verde-azul, se combinan en un único haz. El láser verde-azul lee los datos codificados como crestas de interferencias en una capa holográfica cerca de la superficie del disco, mientras que el láser rojo se utiliza para leer información para el servomecanismo de una capa tradicional de CD de aluminio situada debajo, la cual se usa para controlar la posición de la cabeza de lectura sobre el disco, de forma similar a la información de cabeza, pista y sector utilizada en un disco duro convencional (en un CD o DVD esta información está intercalada entre los datos).

Se emplea una capa de espejo dicróico entre las dos capas anteriores para permitir el paso del láser rojo y reflejar el láser verde-azul, lo cual impide que se produzcan interferencias debidas a la refracción de este haz en los huecos de la capa inferior, técnica que supone un avance con respecto a otras técnicas de almacenamiento holográfico que, o bien sufrían demasiadas interferencias o simplemente carecían por completo de información servomecánica, lo cual las hacía incompatibles con la tecnología actual de CD y DVD.



*Estructura de un disco holográfico versátil*

#### Estructura del **Disco versátil holográfico**

1. Láser de escritura/lectura verde (532nm)
2. Láser de posicionamiento y direccionamiento rojo (650nm)
3. Holograma (datos)
4. Capa de policarbonato
5. Capa fotopolimérica (la capa que contiene los datos)
6. Capas de distancia
7. Capa dicróica (reflectante de la luz verde)
8. Capa reflectiva de aluminio (reflectante de la luz roja)
9. Base transparente

P. [PIT](#)

(Para más información véase: [http://en.wikipedia.org/wiki/Holographic\\_Versatile\\_Disc](http://en.wikipedia.org/wiki/Holographic_Versatile_Disc))