7 - TECNOLOGÍA DRAM

INTRODUCCIÓN

DRAM (Dynamic Random Access Memory ó Memoria Dinámica de Acceso Aleatorio) es la principal memoria usada por computadores de sobremesa y de gran potencia. Cada célula elemental DRAM está hecha de un simple transistor MOS y una capacidad de almacenamiento (Figura 7-1). Cada célula de almacenamiento contiene un bit de información. Esta carga, sin embargo, abandona el condensador debido a la corriente de pérdidas. Así pues, se debe regenerar la carga bastantes veces cada segundo.

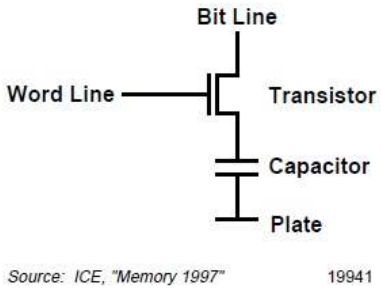

Figure 7-1. DRAM Cell

FUNCIONAMIENTO DEL DISPOSITIVO

La célula de memoria es escrita situando una carga "1" ó "0" en la célula capacitiva. Esto se realiza durante el ciclo de escritura abriendo el transistor de la célula (la puerta se pone al potencial de alimentación V_{cc}) y presentando bien V_{cc} ó 0 V (tierra) en el condensador. La línea de palabra (puerta del transistor) es entonces conectada a tierra para aislar la carga del condensador. Este condensador volverá a ser accesible bien para una nueva escritura, lectura o refresco.

La Figura 7-2 muestra un diagrama simplificado DRAM. Las puertas de las células de memoria están vinculadas a las filas. La lectura (o escritura) de una DRAM se realiza en dos principales pasos como se enseña en la figura 7-3. Las direcciones fila (X) y columna (Y) son presentadas en los mismos pads y son multiplexadas. El primer paso consiste en validar la dirección fila y el segundo paso consiste en validar la dirección columna.

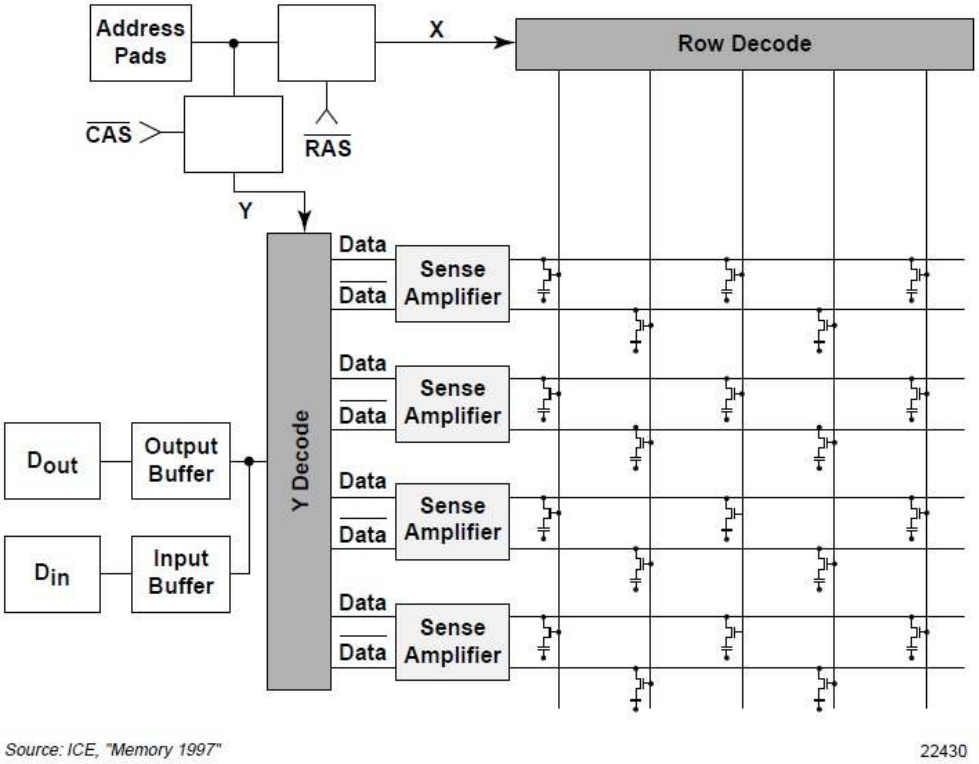

Figure 7-2. Simplified DRAM Diagram

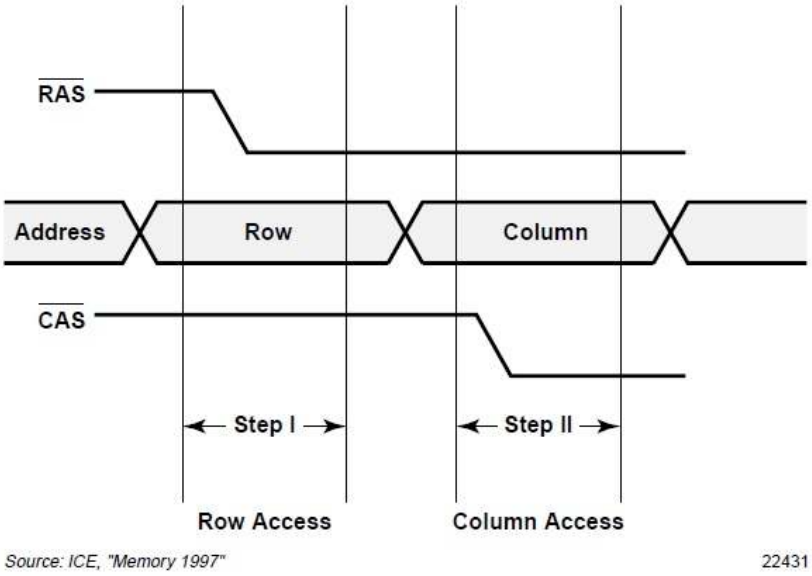

Figure 7-3. DRAM Access Timing

Primer paso: direccionado de fila

La dirección de fila es presentada en el pad de direcciones y es internamente validad por la señal de sincronización /RAS (Row Adress Access). Una barra encima del nombre de la señal significa que la señal es activa cuando está a bajo nivel. La dirección X selecciona una fila a través del decodificador de filas, mientras que el resto de filas no seleccionadas se quedan a 0 V. Cada célula de la fila seleccionada es vinculada a un amplificador sensible. Un amplificador sensible es un dispositivo capaz de reconocer si la carga ha sido introducida en el condensador de la célula de memoria y de traducir esta carga o ausencia de carga en un "1" ó "0". Hay tantos amplificadores sensibles como células de memoria en una fila. Cada amplificador sensible está conectado a una columna (dirección Y). En este primer paso todas las células de la fila entera son leídas por los amplificadores sensibles. Este primer paso es largo y crítico porque la fila tiene una alta constante de tiempo debido a que está formada por las puertas de las células de memoria. Además, los amplificadores sensibles deben leer una carga muy escasa (aproximadamente 30 femFaradios).

Segundo paso: Direccionado de columna.

Siguiendo al primer paso, las direcciones columna son presentadas en el pad de direcciones y son internamente validadas por la señal de acceso a dirección de columna /CAS. Cada célula de memoria seleccionada tiene su dato validado en un amplificador sensible. El acceso a columna es rápido. Este paso consiste en transferir el dato presente en los amplificadores sensibles al pin de salida D_{out} a través del decodificador de columna y el buffer de salida. En las hojas de características de memoria, el tiempo de acceso para /RAS se llama t_{RAC} y el tiempo de acceso para /CAS se llama t_{CAC}. En una DRAM típica estándar de tiempo de acceso 60 ns el t_{RAC} = 60 ns y t_{CAC}= 15 ns.

Regeneración

Para mantener la integridad de la información, es necesario regenerar cada célula de memoria DRAM. Cada fila de células es regenerada en todos los ciclos. Por ejemplo, si la especificación de producto muestra "Ciclo de regeneración = 512 ciclos cada 8 ms" entonces hay 512 filas y cada fila individual debe ser regenerada cada 8 ms.

Según lo antedicho, durante el paso de acceso a fila, todas las células de la misma fila son leídas por los amplificadores sensibles. Los amplificadores sensibles tienen dos papeles. Desde que extrae la información de dentro de la célula, está preparado para transmitir el dato al buffer de salida si la dirección de columna está seleccionada. El amplificador sensible es también capaz de retransmitir (escribir) la información dentro de la célula. En este caso "regenera" la célula de memoria. Cuando una fila es seleccionada todas las células de memoria de esa fila son leídas por el amplificador sensible y se regeneran a la vez.

Se pueden usar métodos de regeneración distribuida o por ráfagas. La regeneración por ráfagas se realiza ejecutando una serie de ciclos de regeneración hasta que todas las filas hayan sido seleccionadas. Para el ejemplo dado anteriormente, esto se realiza cada 8 ms. Durante al regeneración, otras operaciones no están permitidas. Usando el método distribuido y el anterior ejemplo, la regeneración se realiza cada 12.6 μs (8 ms dividido por 512). La figura 7-4 enseña estos dos métodos.

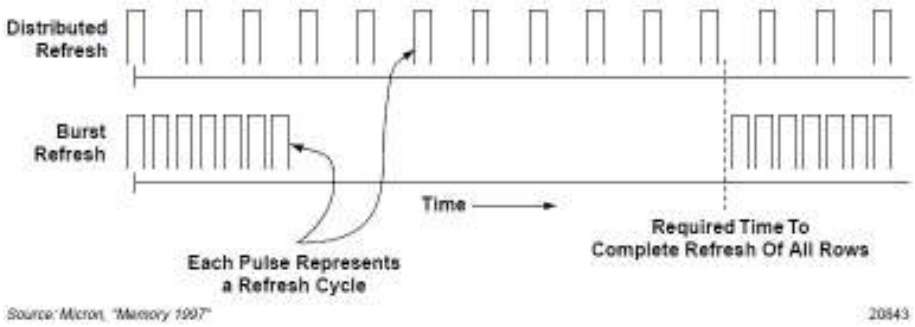

Figure 7-4. Burst and Distributed Refresh

Para las DRAMs estándar existen tres formas de llevar a cabo los ciclos de regeneración. Hay regeneración de solo filas, regeneración de columnas previa a las filas, y regeneración oculta. Para realizar una regeneración de solo fila, se pone una dirección fila en la línea de direcciones y después la señal RAS se pone a nivel bajo. Para llevar a cabo una regeneración de columna anterior a fila, la señal CAS se pone a nivel bajo y después se realiza un ciclo de regeneración cada vez que RAS se pone a nivel bajo. Para llevar a cabo una regeneración oculta el usuario lleva a cabo un ciclo de lectura o escritura y después proporciona una RAS a nivel alto para pasar después a nivel bajo.

CÉLULA DE MEMORIA

Se ha hecho un gran esfuerzo para reducir el tamaño de la célula, particularmente del tamaño del condensador DRAM. A la par que se incrementa la densidad de memoria, el tamaño de célula debe disminuir. Los diseñadores han tratado de disminuir el tamaño global de la célula. Sin embargo, debido a la sensibilidad al ruido y la velocidad, ha sido un reto reducir la capacidad. La capacidad se debe mantener en el rango de 30 fF.

La carga (Q) almacenada en el condensador es igual a la capacidad por el voltaje (Q = C x V). Con el paso de los años, el voltaje de operación de la DRAM ha disminuido (por ejemplo ha bajado de 12 V a 5 V y después a 3.3 V). Así como se reduce el voltaje también se reduce la carga almacenada. Las mejoras de diseño permiten una reducción de la carga acumulada siempre que la capacidad se mantenga en 30 fF.

Hay dos principales desarrollos que permiten reducir el área del condensador sin reducir su valor. Estas son el uso de nuevas formas del capacitor para ajustarse a un espacio mínimo del área del chip y aumentar la constante del dieléctrico del condensador.

Forma de la célula de memoria

La generación DRAM de 1 MBit fue la primera en abandonar la clásica configuración de condensador plano y en sustituirlo por uno en forma de trinchera o en forma de pila. La figura 7-5 nos muestra los tamaños característicos de varios dispositivos DRAM que ICE analizó en sus laboratorios los dos últimos años. Los condensadores en trinchera no son ampliamente utilizados a pesar de los continuos desarrollos e investigaciones en este tipo de diseño. Como se muestra, la mayor parte de las DRAMs de 64 Mbits presentes en el mercado están hechas de condensadores apilados.

Name	Density	Date Code	Cell Area μm^2	Die Area mm^2	Gate Length	Cell Type
Fujitsu	16M	9532	1.4	97.8	0.30	Stacked
Mosel-Vitelic	4M	9518	4.0	65.0	0.55	Stacked
NEC	64M	9621	1.0	161.0	0.35	Stacked
IBM/Siemens	64M	9539	1.5	197.0	0.25	Trench
Samsung	64M	9552	1.2	159.3	0.35	Crown
Mitsubishi	16M	1995	3.0	100.1	0.45	Stacked
Hitachi	64M	9351	1.6	229.4	0.35	Stacked

Source: ICE, "Memory 1997" 22432

Figure 7-5. Physical Dimensions of DRAMs

El corte en sección de las memorias DRAMs de 64 MBits analizadas en el laboratorio del ICE muestran las tres elecciones más frecuentes para fabricar las células de memoria DRAM. Hitachi usa un condensador en pila multicapas para su DRAM de 64 MBits (Figura 7-6). El condensador en trinchera es utilizado por IBM/Siemens (Figura 7-7), y el condensador de pila simple es preferido por Samsung y Nec (Figuras 7-8 y 7-9).

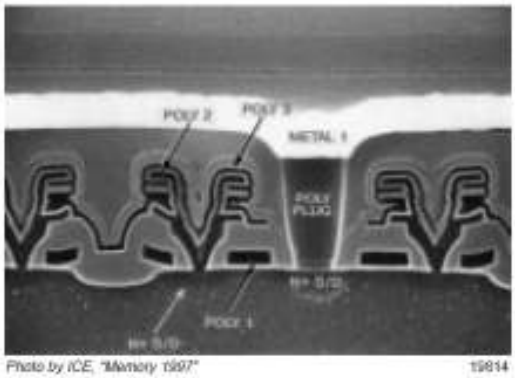

Photo by ICE, "Memory 1997" 19814

Figure 7-6. Hitachi 64Mbit DRAM Cross Section

La figura 7-10 enseña como serán necesarias mejoras en el tamaño de las células para las próximas generaciones de DRAMs. La figura 7-11 ilustra la evolución de la estructura del condensador apilado. La reducción del tamaño de la célula sin una disminución del valor de la capacidad resulta en un aumento de la complejidad tecnológica de la célula de memoria. Muchos fabricantes líderes de DRAM están trabajando en células de 1 Gb. Su logro ha sido conseguir reducir el tamaño de la célula de memoria sin reducir el valor de la capacidad.

Dos tipos de desarrollo de célula de 1 Gb se enseñan en las siguientes figuras. Toshiba intentó mejorar el concepto de condensador en trinchera creando un diseño de trinchera en forma de botella (Figura 7-12). Hitachi intentó mejorar el concepto de pila con un condensador circular y vertical (Figura 7-13). NEC recibió una patente de la oficina de patentes de U.S. de su propietario HSG (hemisferical grain Silicon technology).

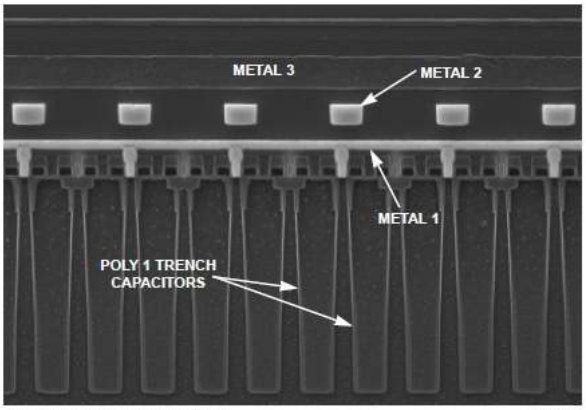

Photo by ICE, "Memory 1997" 22433

Figure 7-7. IBM/Siemens 64Mbit DRAM Cross Section

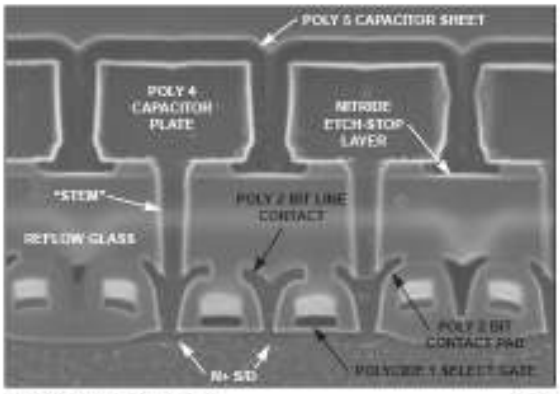

Photo by ICE, "Memory 1997" 20844

Figure 7-8. Samsung 64Mbit DRAM Cross Section

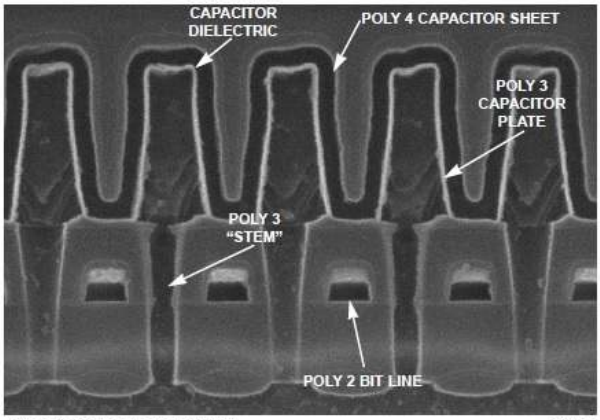

Photo by ICE, "Memory 1997" 22434

Figure 7-9. NEC 64Mbit DRAM Cross Section

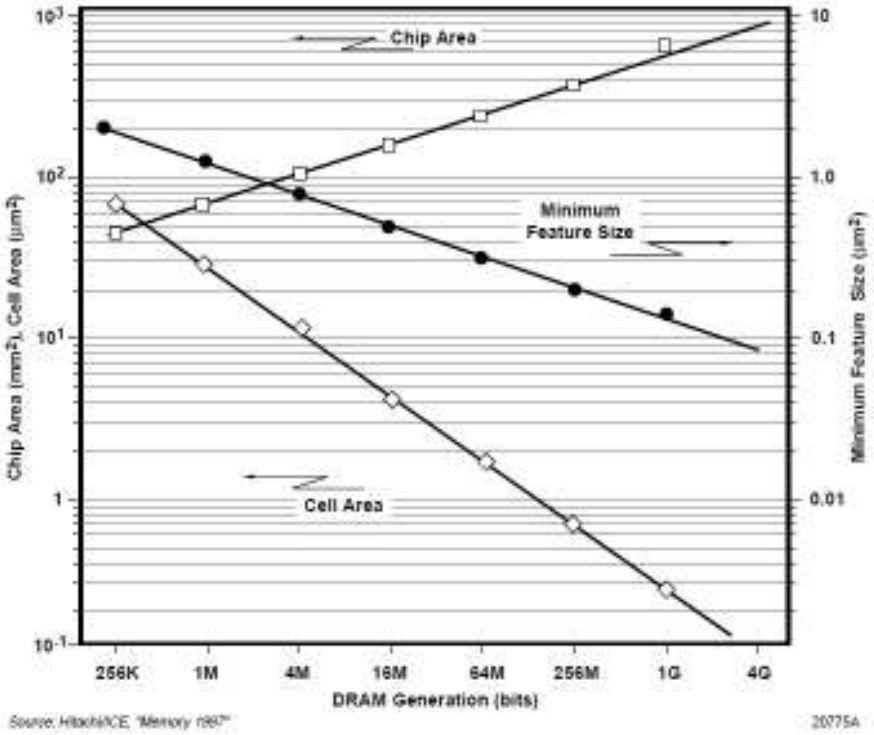

Figure 7-10. DRAM Technology Trend

DIELÉCTRICOS DE CAPACITANCIA

La imposibilidad de escalar el valor de la capacidad ha conducido a considerar nuevos materiales dieléctricos para el condensador. Es probable que se vean con más asiduidad materiales con alta constante dieléctrica. Muchos de estos materiales se han probado anteriormente como dieléctricos en condensadores discretos. Así pues, el principal desafío es la introducción de estos materiales dentro del proceso de fabricación de los circuitos integrados. La figura 7-14 enseña varios de estos materiales en juego. El Pentaóxido de Tantalio (Ta_2O_5) parece que podría servir como un buen dieléctrico ya que puede ser integrado fácilmente en una estructura convencional de condensador de pila. Sin embargo requiere mayores espesores del dieléctrico, por lo que la mejora en la capacidad es marginal.

RENDIMIENTO

Comparada con otros ICs de memoria, la DRAM padece un problema de velocidad. El circuito incluido en el chip para la lectura de los datos es inherentemente lento. Así es tal que la velocidad DRAM no ha mantenido el ritmo de velocidad de reloj en las CPUs.

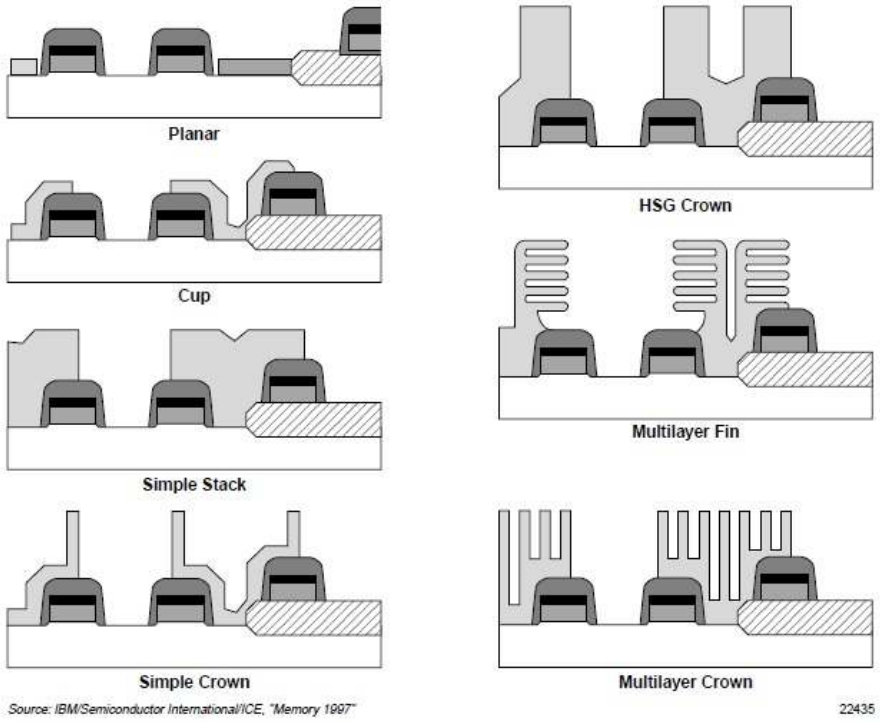

Figure 7-11. Stack Capacitor Structure Evolution

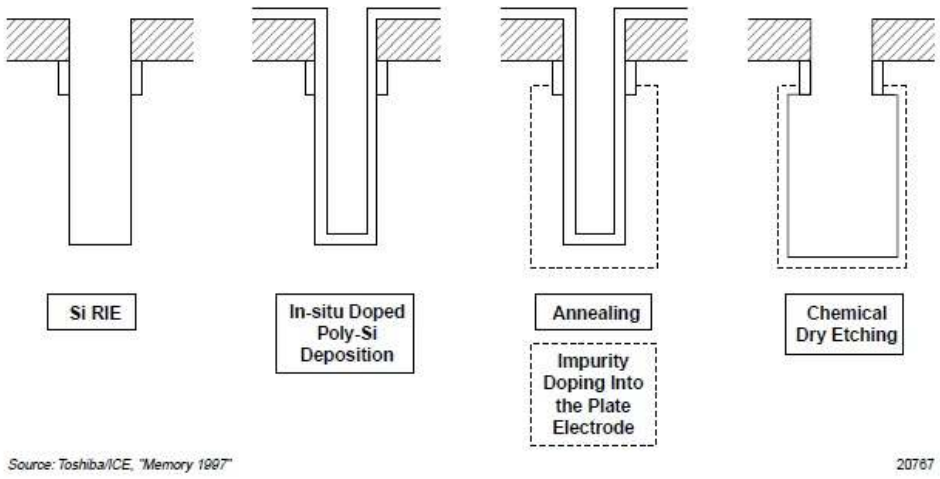

Figure 7-12. Capacitor Manufacturing Process

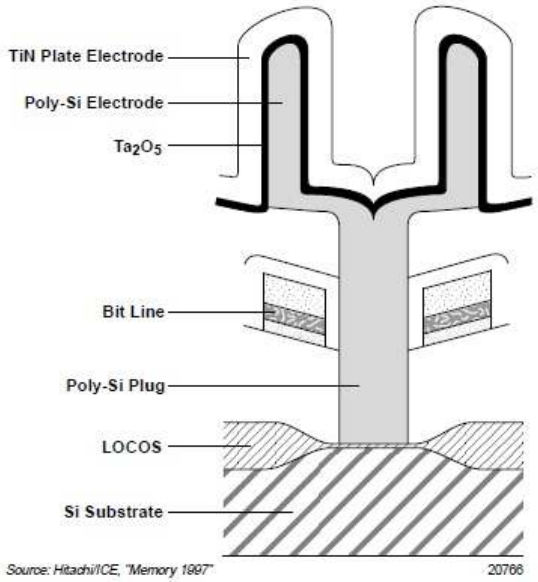

Figure 7-13. Schematic Cross-Sectional View of CROWN-Type Memory Cell

Material	ε_r
SiO_2	3.8
SiN_4	7.9
Ta_2O_5	20 - 30
$BaTiO_3$	15 - 30
$SrTiO_3$	15 - 30
TiO_2	35 - 50
Polyimide	2 - 2.6

Source: ICE, "Memory 1997" 18741

Figure 7-14. Capacitor Dielectric Constants

Los primeros sistemas de microprocesadores se introdujeron con frecuencias de reloj de 1 MHz (1 millón de ciclos por segundo). Hoy en día, las CPUs de los PC de escritorio son de 200 MHz y más rápidos, al menos un incremente de x200. Las primeras DRAMs tenían tiempos de acceso (el tiempo necesario para que el chip DRAM suministre a la CPU el dato requerido) de 250 nanosegundos (ns). Hoy en día están en 50 ns, quintuplicando la rapidez.

Para afrontar esta discrepancia de velocidades, las DRAM se han especializado en bastantes subcategorías. Cada uno presenta una variación en los circuitos de la interfaz de sistema con el fin de mejorar el rendimiento. Además, cada diseño intenta responder a las necesidades de una aplicación específica. Las ofertas actuales se muestran en la figura 7-15.

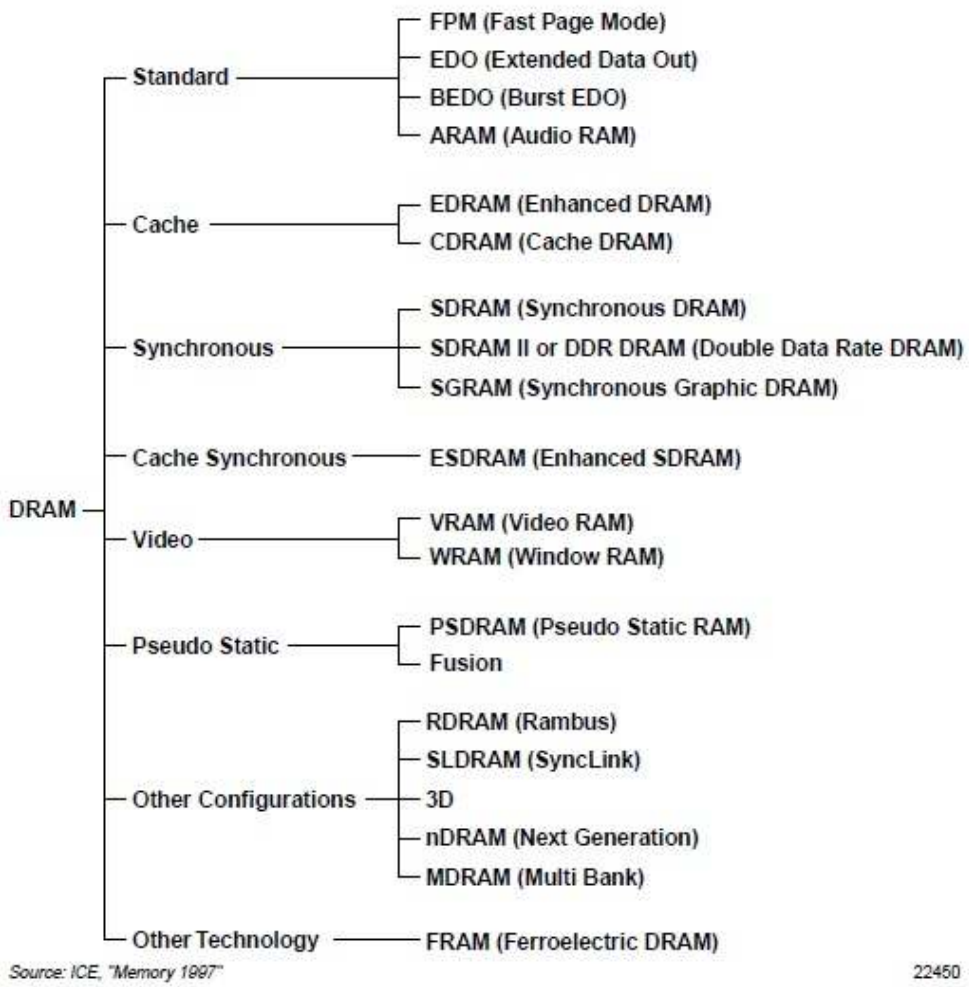

Figure 7-15. Current DRAM Varieties

DRAMs "Fast Page Mode" (FPM)

Para acceder a los datos DRAM, se proporciona una dirección fila, seguida de una dirección columna. Las direcciones de una DRAM están multiplexadas en el mismo paquete de pins. Cuando la dirección fila requerida está en la misma dirección requerida anteriormente, simplemente un cambio en la dirección columna permite el acceso a este nuevo dato. Así pues, con el método de página rápida, la información de una misma fila puede ser accesible solamente cambiando la dirección columna.

Como ejemplo, vamos a considerar una DRAM de 1 Mbit que tiene una organización del vector de información de 1024 x 1024 bits. 1024 bits de información pertenecen a la misma fila. Esta información será accesible a través del modo de página rápida (se considera que una fila es una página). Este modo está disponible en todas las DRAMs estándar. Como se ha descrito previamente, este tiempo de acceso es tan rápido como los datos disponibles en los amplificadores sensibles.

El modo estático de columna es similar al modo página, con la diferencia de que solo se debe cambiar la dirección de columna para obtener el nuevo dato, y no se necesita un pulso CAS. El modo "nibble" agrupa las células de memoria en "4 bits por nibble" por lo que cuando un bit es seleccionado aparecen 4 bits en serie. Este modo no ha sido ampliamente utilizado.

DRAMs "Extended Data Out" (EDO)

Las DRAMs de salida de datos extendida (DRAMs EDO), también llamadas DRAMs de "hyper-page-mode" presentan un ligero cambio de diseño en el buffer de salida respecto a las DRAMs estándar de modo de página rápida. El viejo dato está anclado en la salida mientras el nuevo dato es direccionado. EDO acorta el tiempo de ciclo del modo página al extender el tiempo en que el dato de salida es válido.

Para la misma tecnología, un producto en modo estándar tendrá un tiempo de ciclo de 110 ns (tiempo de acceso de 60 ns) mientras que en el modo de página rápida se reducirá hasta 40 ns y en el modo EDO hasta 25 ns.

DRAMs EDO "Burst"

Muchos vendedores ofrecen versiones "burst" (de ráfaga) de la DRAM EDO. La "ráfaga" se refiere al hecho de que todos los ciclos de lectura y escritura ocurren en ráfagas de 4, secuenciadas automáticamente por el chip de memoria. Para lograrlo, se añade una etapa especial "pipeline" y un contador de 2 bits.

El tiempo de acceso de la DRAM EDO de ráfaga difiere de la DRAM EDO de dos maneras. La primera, sustituyendo el enclavamiento de salida por una etapa especial "pipeline" (registro), el tiempo de espera será mayor pero el ancho de banda será mejor. La segunda, como la DRAM EDO de ráfaga incluye un contador de direcciones interno solo es necesario proporcionar la primera de la ráfaga de 4 direcciones.

Los fabricantes deberán usar el mismo conjunto de máscaras para las EDO de página rápida y la DRAM EDO de ráfaga. Una opción de conexionado determinará qué producto va en el paquete final. La figura 7-16 muestra las diferencias en la secuencia de tiempos entre varias DRAMs estándar. La figura 7-17 muestra las diferencias de velocidad.

DRAMs de Audio (ARAM)

Debido a fallos de proceso durante el sondeo de las obleas, varias DRAMs se concluyen con varias células de memoria defectuosas que no pueden ser efectivamente reparadas (o repuestas) por el mecanismo de redundancia. Estas no pueden ser vendidas como buenos dispositivos para OEMs de PC. Sin embargo unos pocos bits defectuosos no afectan a las aplicaciones de audio donde hay un margen de error de tolerancia. Por esta razón los fabricantes venderán piezas con unas pocas células defectuosas para aplicaciones de audio. Estos dispositivos son denominados DRAMs de audio (ARAMs). El cliente puede comprar una ARAM más barata que una estándar DRAM.

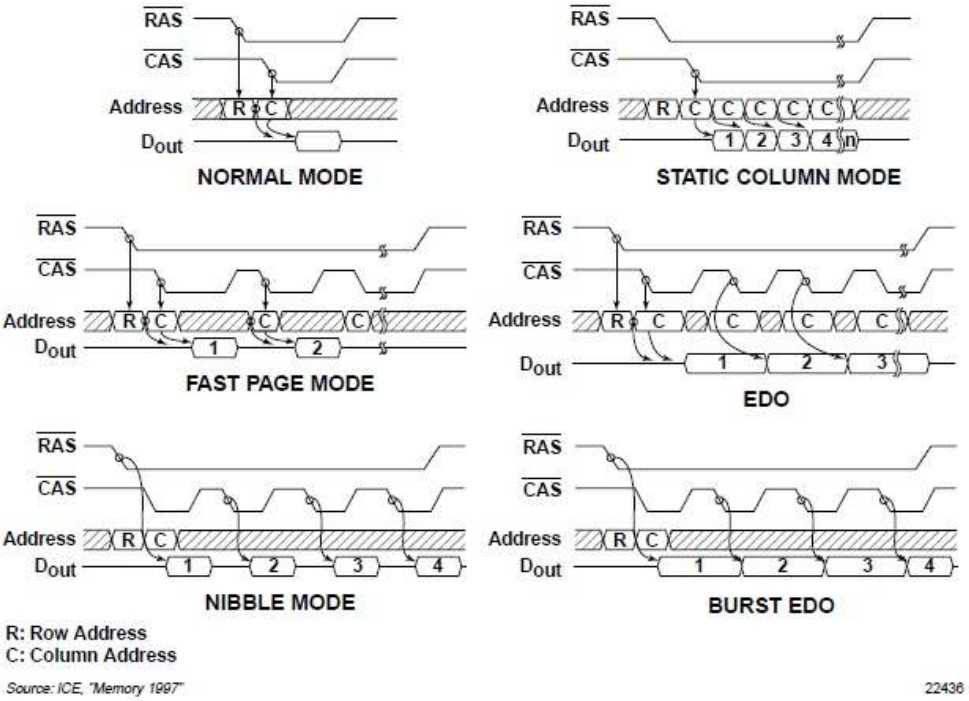

Figure 7-16. Comparison of Dynamic RAM High Speed Access Modes

DRAM Speed (t_{RAC})	DRAM Type		
	Fast Page Mode	EDO	Burst EDO
70ns	25MHz	33MHz	50MHz
60ns	28MHz	40MHz	60MHz
50ns	33MHz	50MHz	66MHz

Source: Micron/ICE, "Memory 1997" 19992A

Figure 7-17. Comparison of Standard DRAM Performances

DRAMs caché (CDRAM)

Otra alternativa de DRAM es la DRAM caché (CDRAM) desarrollada por Mitsubishi. Este dispositivo integra una DRAM de 16 Mbits y una memoria caché SRAM (16 Kbits) L2 (segundo nivel) en el mismo chip. La transferencia entre DRAM y SRAM se lleva a cabo en un ciclo de reloj a través de un buffer de 8 x 16 bits. La SRAM es de células con 6 transistores. El tiempo de acceso / ciclo de la SRAM es de 15 ns. Por el momento Mitsubishi y Samsung ofertan dispositivos CDRAM. La figura 7-18 muestra la organización de un chip CDRAM.

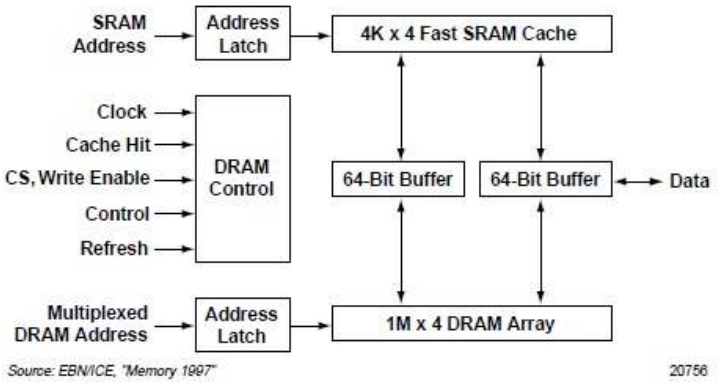

Figure 7-18. Cache DRAM

DRAMs "enhanced" (EDRAM)

Las DRAMs mejoradas (EDRAMs) fueron desarrolladas por la corporación Ramtron. Las EDRAMs también son vendidas por IBM (de 3.3 V y de 5 V), ya que IBM y Ramtron tienen un acuerdo de segundo suministrador para este producto. La arquitectura EDRAM es similar a la de modo página de 4 Mbit o la DRAM de columna estática con la adición de una caché SRAM L2 y un controlador interno. Técnicamente una EDRAM es una DRAM caché (CDRAM). Más que por integrar una SRAM caché separada, la EDRAM toma ventaja por la arquitectura interna de una DRAM de modo página rápida, que tiene amplificadores sensibles actuando como una caché SRAM de 2 Kbit cuando se lee y se accede a la información.

Los ciclos de lectura de memoria siempre ocurren desde la caché. Cuando el comparador detecta un acierto, solo la SRAM es direccionada donde los datos son accesibles en 15 ns. Cuando se detecta un fallo, la caché entera es actualizada y los datos estarán disponibles a la salida en solo 35 ns. La figura 7-19 muestra la organización del chip EDRAM.

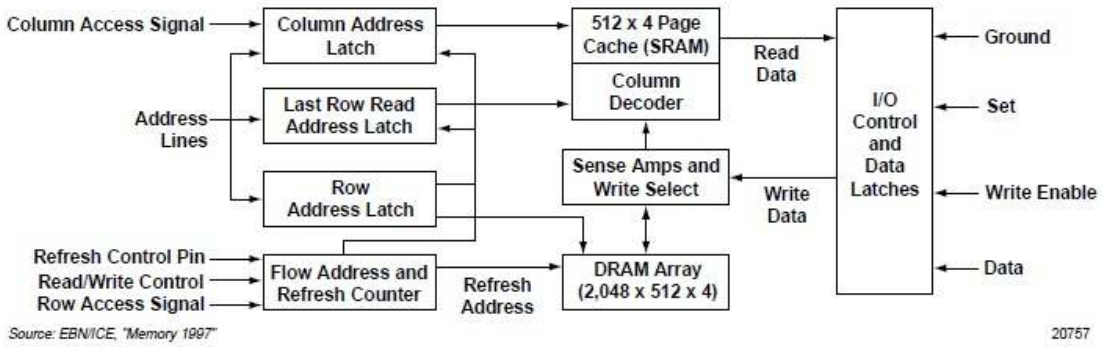

Figure 7-19. Enhanced DRAM (EDRAM)

DRAMs Síncronas (SDRAM)

La DRAM síncrona representa el siguiente paso en la evolución de la industria en la arquitectura DRAM estándar. Las DRAMs síncronas (SDRAMs) tienen sus ciclos de lectura y escritura sincronizados con el reloj del procesador. La SDRAM está diseñada con dos bancos separados. Estos dos bancos diferentes permiten a cada uno tener diferentes filas activas al mismo tiempo. Esto permite la concurrencia de operaciones de acceso / regeneración y recarga. La figura 7-20 enseña el diagrama de bloques de la configuración de una SDRAM.

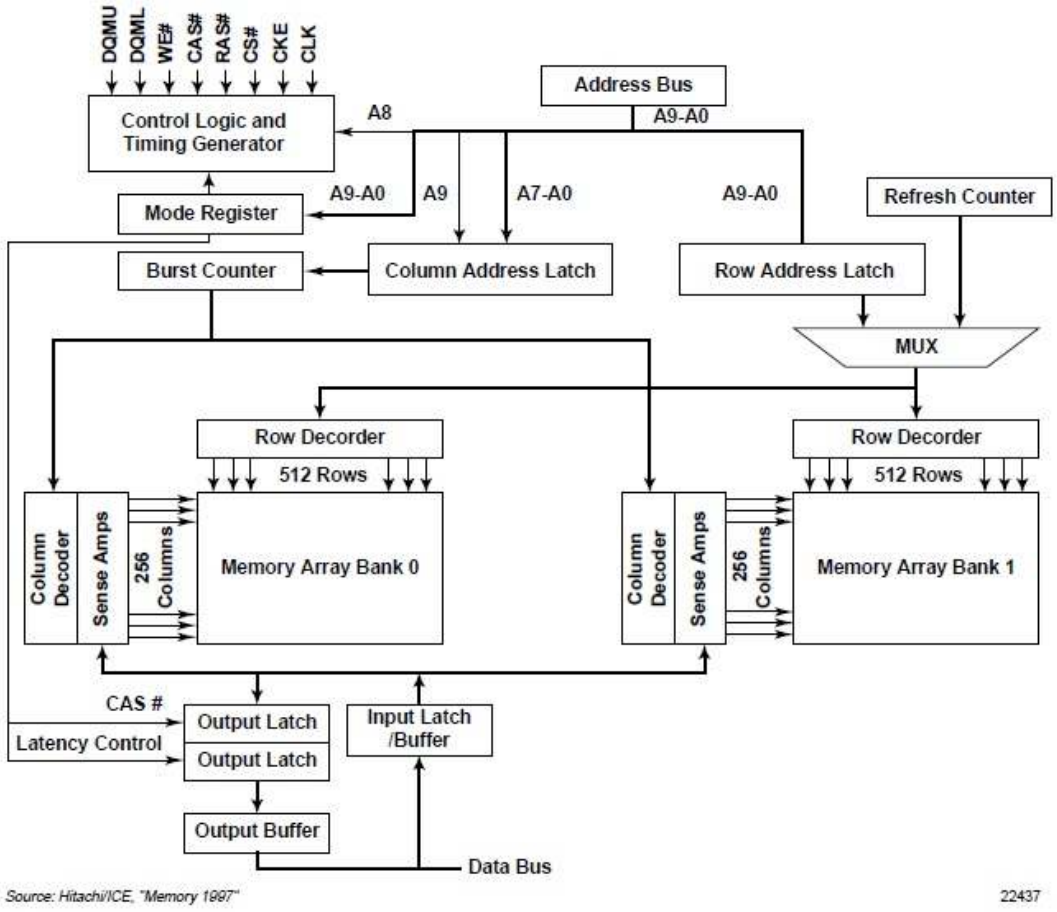

Figure 7-20. 4Mbit SDRAM Block Diagram

La SDRAM es programada usando un registro de modo. Entre las características programables se incluyen la longitud de ráfaga (1, 2, 4, 8, página completa), secuencia de envoltura (secuencial, intercalada) y latencia CAS (1, 2, 3). La figura 7-21 muestra la secuencia temporal de una SDRAM. La secuencia de tiempos ilustra las diferentes posibilidades en latencia CAS y longitud de ráfaga.

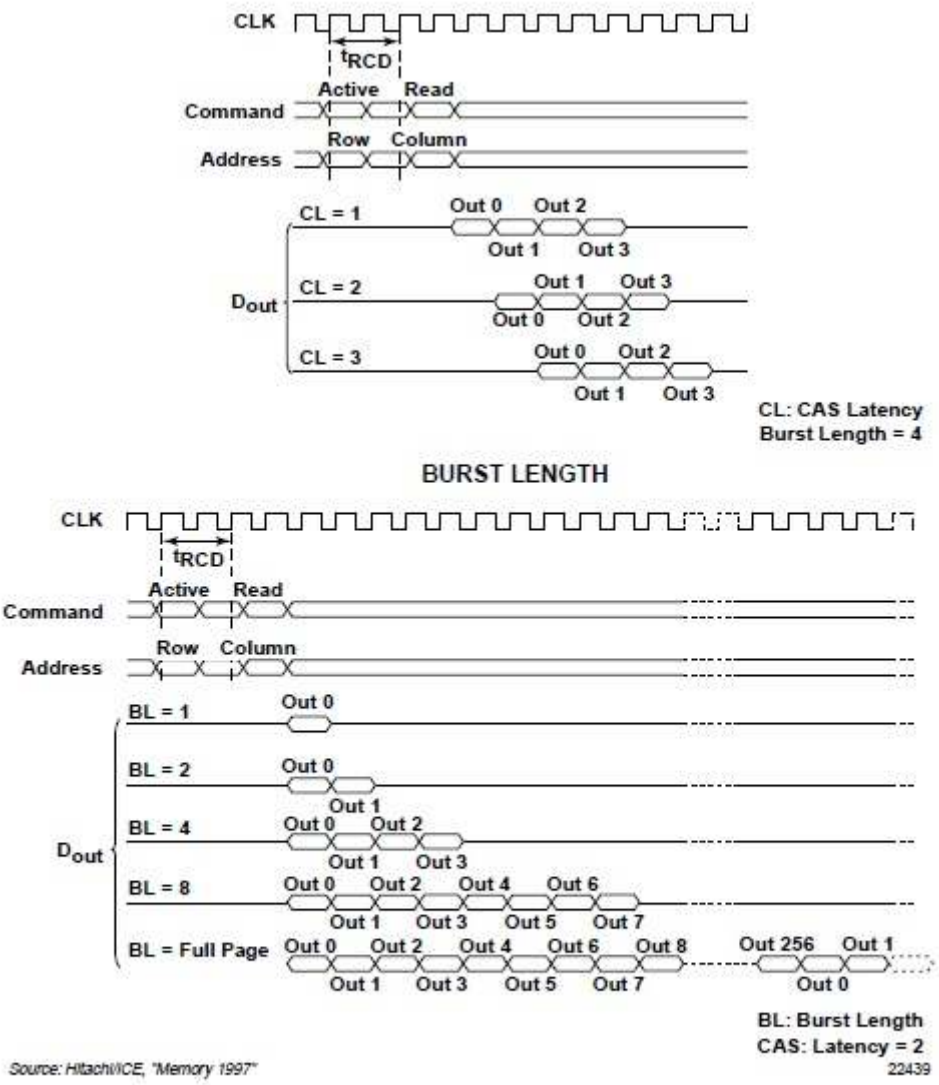

Figure 7-21. SDRAM Timing

El tamaño del registro de modo es equivalente al número de pins de direcciones del dispositivo y es escrito durante un ciclo de configuración de registro de modo. Este registro de modo debe ser reprogramado cada vez que una de las características programables tengan que ser modificadas. La figura 7-22 muestra el contenido de un registro para una SDRAM de 4 Mbit. La figura 7-23 muestra un resumen de la funcionalidad de una SDRAM.

SDRAM-II o DRAMs DDR (DRAMs Double Data Rate)

La propuesta de la DRAM DDR es leer dos veces por ciclo de reloj la información de la SDRAM. El dispositivo entrega datos en ambos flancos de la señal de reloj, doblando el ancho de banda efectivo para una frecuencia dada.

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
OPCODE		0	LMODE			BT	BL		

A6	A5	A4	CAS Latency
0	0	0	R
0	0	1	1
0	1	0	2
0	1	1	3
1	X	X	R

A3	Burst Type
0	Sequential
1	Interleave

A2	A1	A0	Burst Length BT=0	Burst Length BT=1
0	0	0	R	R
0	0	1	2	2
0	1	0	4	4
0	1	1	8	8
1	0	0	R	R
1	0	1	R	R
1	1	0	R	R
1	1	1	F.P.	R

A9	A8	Write Mode
0	0	Burst Read and Burst Write
0	1	R
1	0	Burst Read and Single Write
1	1	R

F.P. = Full Page
R = Reserved (inhibit)

Source: Hitachi/ICE, "Memory 1997" 22438

Figure 7-22. Register Content of a 4Mbit SDRAM

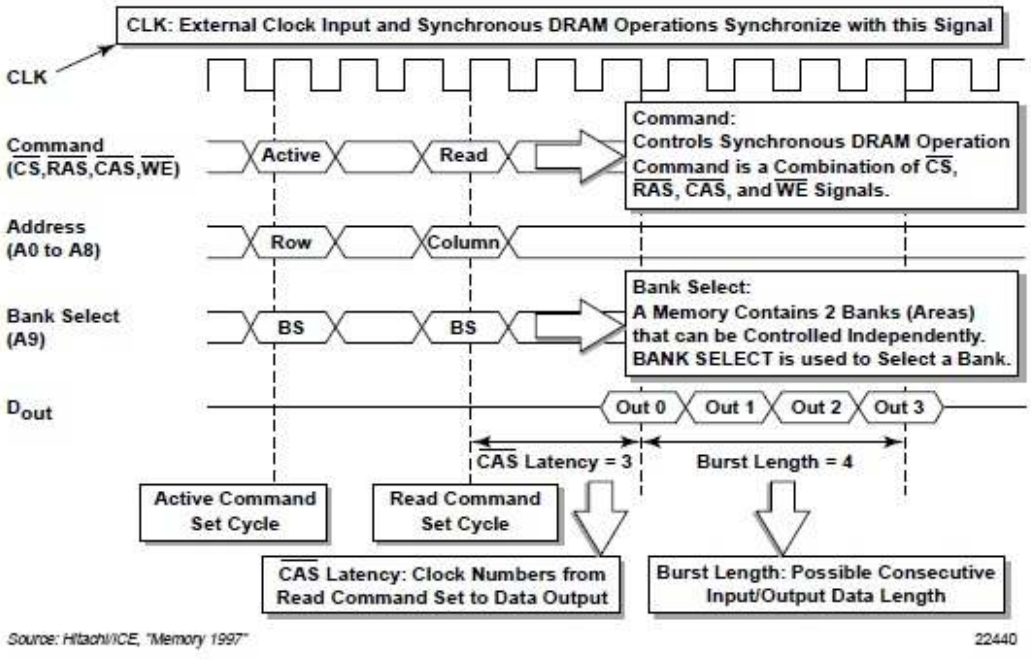

Figure 7-23. SDRAM Functionality

RAM Síncrona Gráfica

Las RAM síncrona gráfica (SGRAMs) está dirigida a aplicaciones de vídeo. Las SGRAMs difieren de las DRAMs Síncronas (SDRAMs) en que poseen características tradicionalmente asociadas con DRAMs de vídeo como un ancho de bus de 32 bits y características específicas para gráficos como el modo de escritura en bloque y el modo de escritura oculta. La figura 7-24 muestra la estructura de una SGRAM.

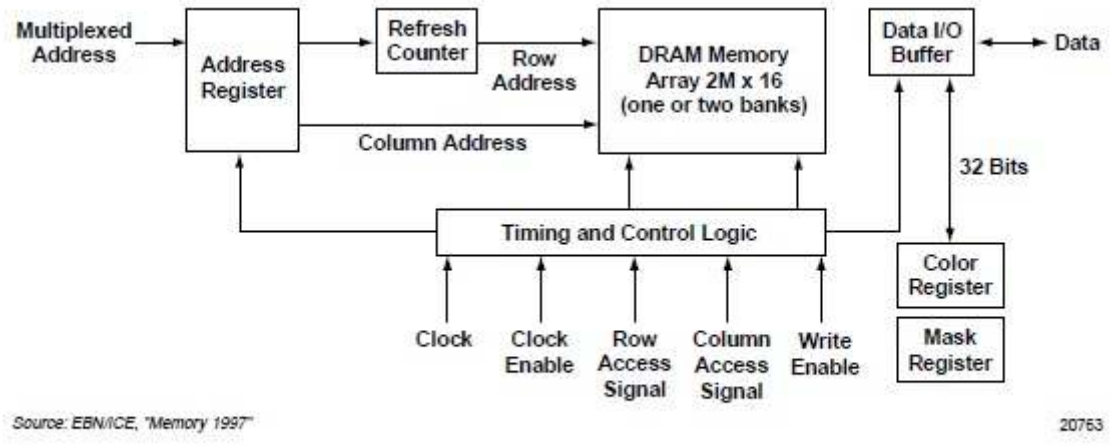

Figure 7-24. Synchronous Graphic DRAM

DRAMs Síncronas Mejoradas (ESDRAMs)

La compañía Enhanced Memory Sistems Inc., una subsidiaria de Ramtron, desarrolló sus DRAMs Síncronas Mejoradas (ESDRAMs). Esta memoria combina la SDRAM más una caché SRAM en el mismo chip. La ESDRAM de 16 Mbit combina 2 bancos de SDRAM de 8 Mbit más 2 bancos de SRAM de 4 Kbit.

DRAMs de Vídeo

Las Vídeo DRAMs (VRAMs) también son denominadas DRAMs de doble puerto. Las VRAMs son usualmente utilizadas de manera exclusiva para aplicaciones de vídeo. Como la DRAM estándar es inherentemente paralela y los datos de vídeo son inherentemente serie, los sistemas de vídeo siempre han necesitado registro de desplazamiento para conversión de paralelo a serie. Una VRAM ha separado las interfaces serie y paralelo. Por ejemplo, una DRAM de 4 Mbit puede estar organizada así:

DRAM: 262.144 palabras x 16 bits
SAM (Memoria de acceso serie): 256 palabras x 16 bits

La transferencia de datos paralelo a datos serie es llevada a cabo por un registro de desplazamiento paralelo – serie incluido en el chip. El registro deberá esta dividido en dos mitades. Cuando una mitad está siendo leída desde fuera del puerto SAM la otra mitad puede ser cargada desde el vector de memoria. Para aplicaciones que no requieren carga de registro en tiempo real (por ejemplo cargas durante periodos CRT), el modo de operación de todo el registro es mantenido para simplificar el diseño del sistema.

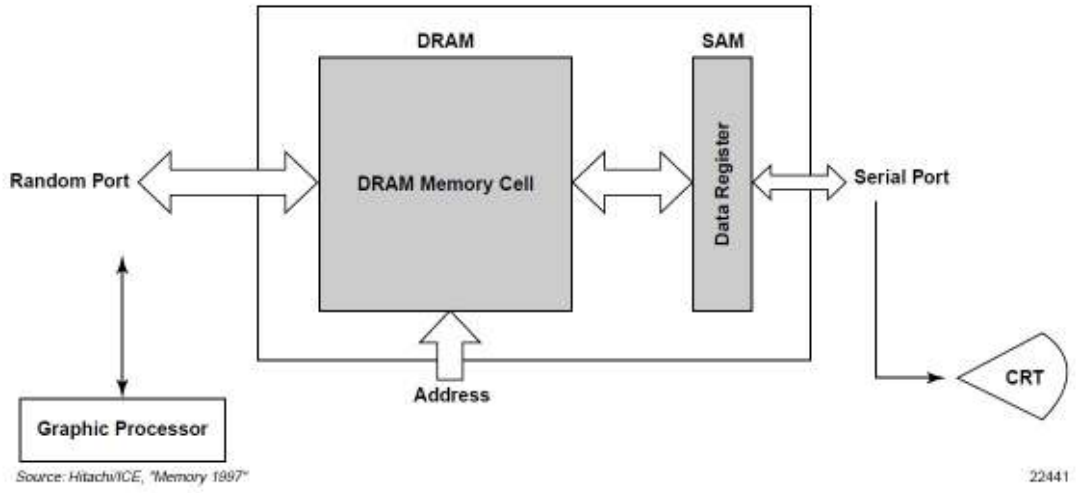

Figure 7-25. A General Concept of Video Ram

DRAMs "Window" (WRAMs)

Una DRAM "Ventana" (WRAM) es una VRAM de doble puerto con un número de características añadidas. La WRAM incorpora las características de los modos de página rápida y EDO, tienen un puerto de acceso aleatorio de 32 bits y un bus interno de 256 bits. La figura 7-26 enseña la configuración de un WRAM.

Pseudo SRAMs (PSRAMs)

Las Pseudo Memorias de Acceso Aleatorio Estáticas (PSRAMs) fueron desarrolladas para minimizar el consumo de potencia (respecto a una DRAM) en detrimento de la velocidad. Estas incorporan el mecanismo de almacenamiento de una DRAM pero tiene unos circuitos adicionales dentro del chip que hacen que opere como una SRAM. La regeneración de la célula de almacenamiento se lleva a cabo internamente. El tamaño de un chip PSRAM es un 20% mayor que el de uno DRAM. El incremento de tamaño es debido a los pads adicionales para las distintas configuraciones de pins y a los circuitos internos que llevan a cabo la regeneración.

Los principales mercados para las PSRAMs son los PC portátiles, laptops y máquinas portátiles. La PSRAM es empaquetada como una SRAM, normalmente en un pad de datos de entrada-salida x8 o mayor, y sin entradas de dirección multiplexadas. Las SRAMs y PSRAMs tienen pines compatibles. Sin embargo, PSRAMs tienen una señal adicional para comunicar al sistema cuando está ocupado realizando la regeneración interna.

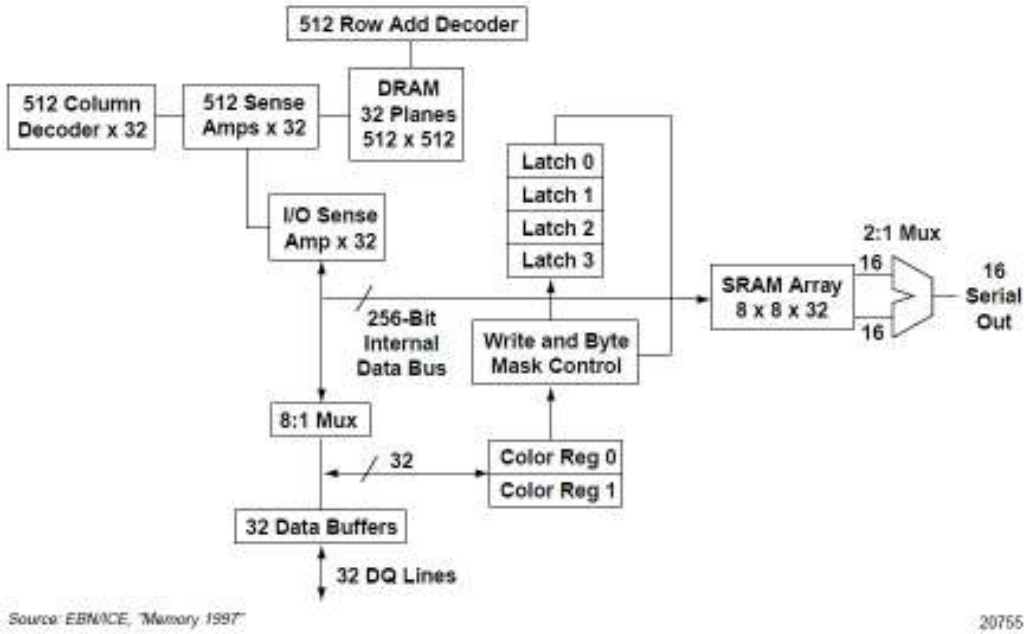

Figure 7-26. Window DRAM

Aunque han estado disponibles durante más de 15 años, el mercado de las PSRAMs nunca ha crecido fuertemente. Es más, parece que el mercado de las PSRAMs se estará diluyendo como Hitachi y Toshiba, los dos mayores proveedores que retiran su apoyo. La figura 7-27 nos da una comparativa entre las PSRAMs y las SRAMs de bajo consumo.

	4M SRAM	4M PSRAM
Access Time	55ns	80ns
Operating Current	90mA	75mA
Data Retention Power	15µa @ 2V	15µa @ 3V
Relative per Bit Cost (DRAM = 1)	4x	1.2x

Source: ICE, "Memory 1997" 18742

Figure 7-27. Static and Pseudo Static RAM Comparison

Memorias "Fusión"

"Integrated Devide Technology" (IDT) desarrolló una DRAM y SRAM pseudo-estática y la denominó memoria de fusión. IDT reivindicó la Memoria de Fusión como la primera arquitectura en fusionar juntos el rendimiento SRAM y la alta densidad y bajo coste de la DRAM.

DRAMs "Rambus"

La tecnología "Rambus" está basada en una interfaz chip a chip de muy alta velocidad, que es incorporada en una nueva arquitectura DRAM y en controladores o procesadores. La arquitectura Rambus alcanza un nivel de rendimiento más de 10 veces mayo que una DRAM convencional. "Rambus Inc." no fabrica productos pero si da licencias de sus diseños DRAMs "Rambus" (RDRAMs) y controladores. Hasta la fecha, Rambus Inc. ha autorizado a más de una docena de las mayores compañías de semiconductores para el desarrollo conjunto y para brindar al mercado un amplio rango de memorias y productos lógicos. Es más, ganó el apoyo de Intel para la próxima generación de arquitecturas DRAM para sistemas PC.

A diferencia de otros planteamientos que estaban centrados en el aumento de la velocidad de las DRAMs individuales, Rambus proporciona una solución completa a nivel de sistema integrando componentes rápidos con una tecnología de interfaz innovadora de alta velocidad. La figura 7-28 muestra los elementos de la tecnología Rambus. Esta tecnología está comprendida por tres principales elementos que incluyen el canal Rambus, la interfaz Rambus (controlador) y las RDRAMs.

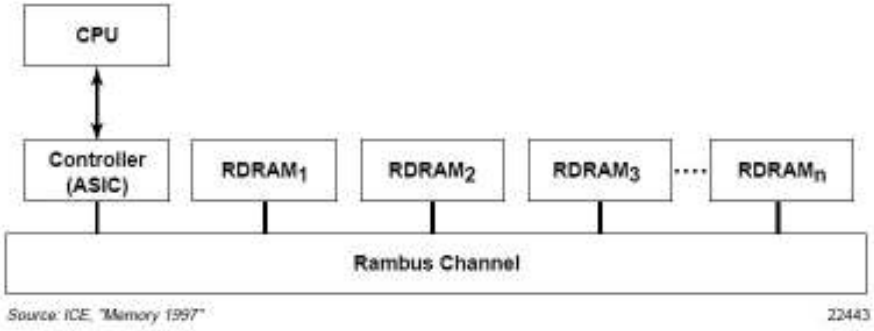

Figure 7-28. Typical Rambus Configuration

El canal Rambus

Las figuras de la 7-29 a 7-31 muestran la configuración y principales características de un canal Rambus. El canal Rambus es el núcleo de la arquitectura Rambus. El logro de este canal es el de transmitir información a muy alta velocidad. Para que esto ocurra, el nivel de las señales TTL son reemplazadas por señales de pequeña oscilación (600 mV) más una señal adicional de referencia (V_{ref}) configurado para establecer el nivel de continua de la oscilación. Estas señales de baja amplitud reducen el consumo de energía del bus, el ruido, e incrementan la velocidad de transferencia.

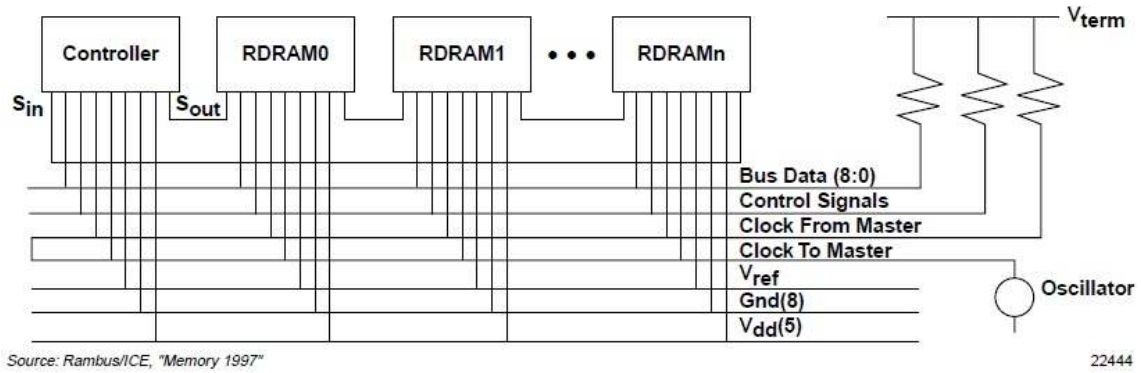

Figure 7-29. Rambus Channel

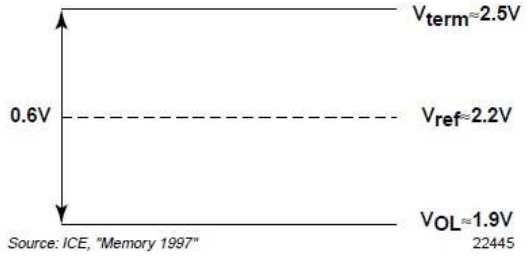

Figure 7-30. Rambus Channel Swing Signal

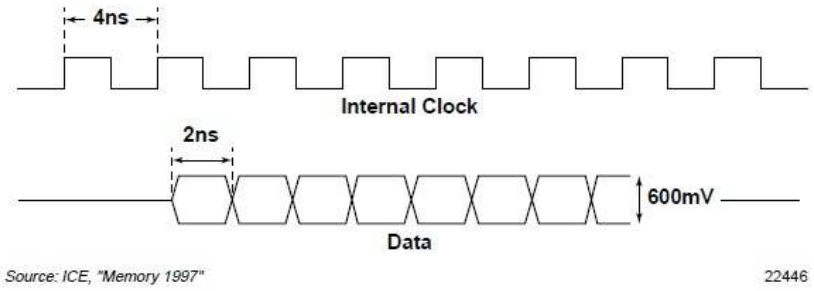

Figure 7-31. Rambus Channel Speed

La RDRAM

Las RDRAMs utilizan tecnologías convencionales de fabricación y procesos DRAMs. Debido a la interfaz Rambus, la RDRAM consumo un 14% más de silicio que una DRAM convencional. La figura 7-32 muestra la estructura de un chip DRAM Rambus de 64 Mbits. La RDRAM se divide en dos partes: la lógica de interfaz y el núcleo DRAM. La lógica de interfaz incluye la interfaz de alta velocidad I/O, el circuito de reloj y la lógica de control de protocolo. Los amplificadores sensibles actúan como memoria caché. Como las DRAMs estándar, las células RDRAMs tienen que ser regeneradas. Las RDRAMs tienen capacidad interna de autoregeneración.

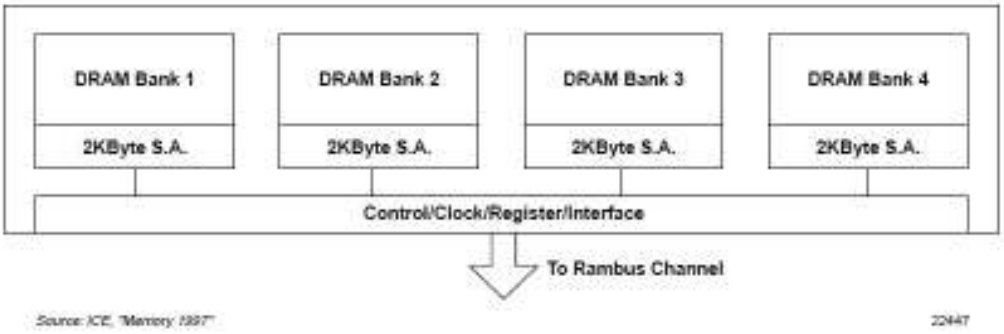

Figure 7-32. 64Mbit RDRAM Architecture

El controlador Rambus

El diagrama de bloques de un controlador Rambus es mostrado en la figura 7-33. Este controlador sirve de interfaz entre el canal Rambus y la aplicación. El circuito de interfaz Rambus consiste en una conversión serie-paralelo y paralelo-serie más recuperación sincronizada. Esta interfaz puede estar realizada bien con una célula ASIC I/O ó una célula completamente a medida obtenida de Rambus Inc.

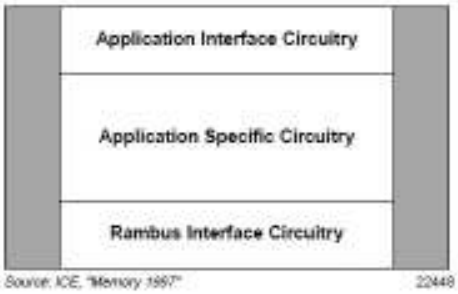

Figure 7-33. Rambus Controller

Rambus también desarrolló su propio diseño de empaquetamiento. El desarrollo incluye un enchufe estándar, un bus fijo de pequeña longitud, y módulos de memoria específicos. La figura 7-34 muestra el sistema físico de un sistema basado en Rambus.

DRAM "SyncLink" (SLDRAM)

Una arquitectura DRAM que compite contra Rambus es SyncLink. Un grupo de la sociedad de computación IEEE trabajó en las especificaciones generales. El concepto usa una interfaz unidireccional punto a punto de muy alta velocidad, más que la mayoría de bus convencionales. Chips múltiples son dispuestos en serie a lo largo del "RamLink" y se vinculan a un controlador común para la salida a la CPU. El consorcio SyncLink espera entregar prototipos a principios de 1998. La figura 7-35 muestra la arquitectura SLDRAM.

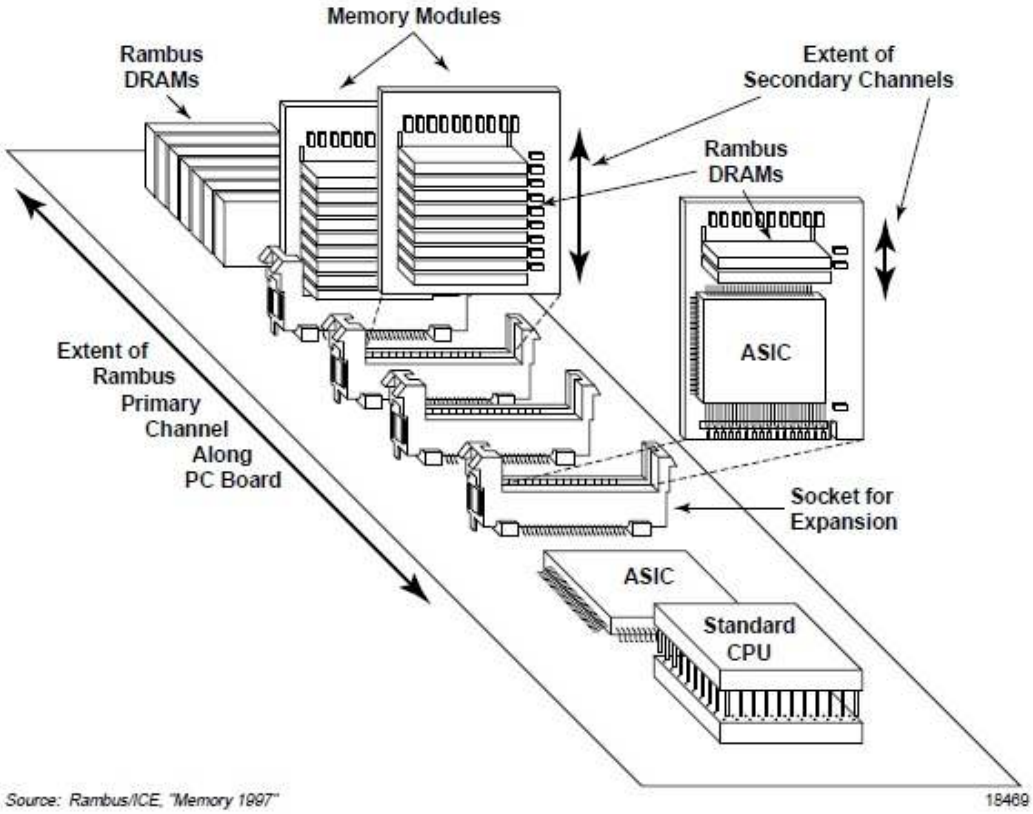

Figure 7-34. Physical Organization of a Rambus-Based System

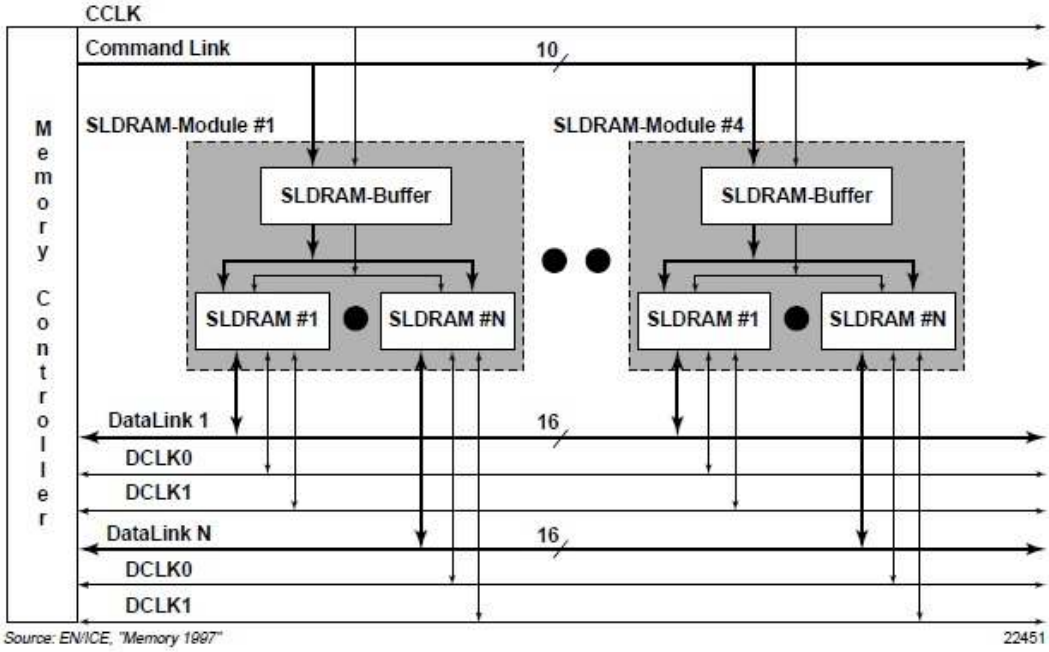

Figure 7-35. SyncLink DRAM Architecture

RAMs 3D

Las RAMs 3D, desarrolladas por Mitsubishi, están basadas en la arquitectura DRAM caché (CDRAM). Un diagrama de bloques de esta arquitectura es mostrado en la figura 7-36. Hay 4 principales bloques funcionales en una RAM 3D. Estos incluyen 4 bancos DRAM independientes de 2.5 Mbits cada uno, dos buffers de vídeo, un bus global de 256 bits de anchura y un buffer SRAM tri-puerto de 2 Kbits. IBM y Toshiba anunciaron que iban a comenzar la producción conjunta en U.S. en la segunda parte de 1997.

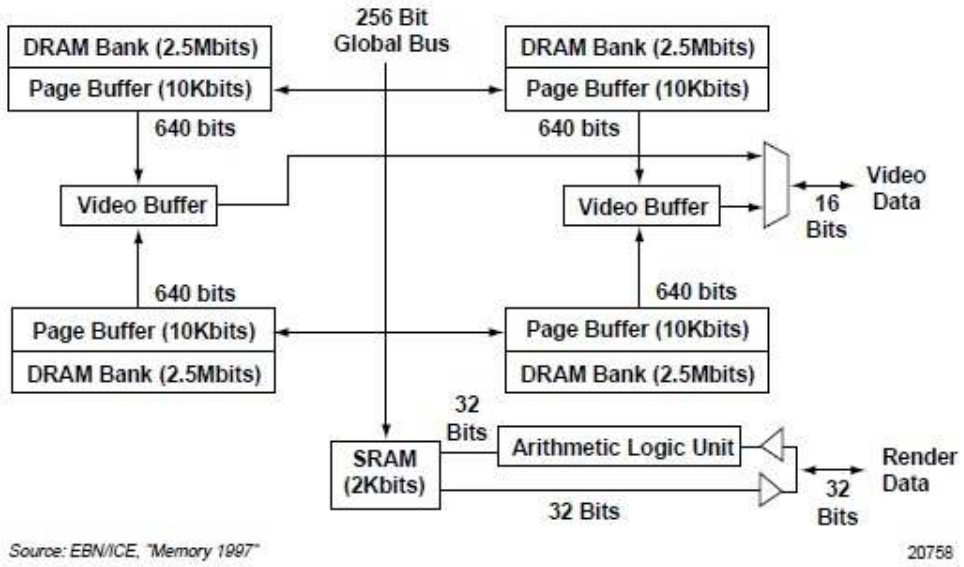

Figure 7-36. 3D DRAM

nDRAM (DRAM de siguiente generación)

Intel y Rambus han acordado colaborar en una nueva DRAM basada en la arquitectura RDRAM. Esta nueva DRAM, llamada DRAM de siguiente generación (nDRAM), no estará disponible antes de 1999. La figura 7-37 muestra la hoja de ruta de la relación Intel/Rambus. Por el momento, nDRAM consigue su velocidad con un estrecho canal de 8 bits. nDRAM debe usar 2 canales paralelos de 8 bits y alcanzar una velocidad de 1.6 Gbytes por segundo.

DRAM Multibanco (MDRAM)

MoSys, una compañía "startup" sin fábrica ubicada en San José (California) en 1991, desarrolló la DRAM multibanco (MDRAM). Mosys argumenta que la penalización por usar DRAM en aplicaciones gráficas no es el ancho de banda pero si la latencia entre dos ráfagas. Desarrollando una DRAM con 32 bancos se reduce esta latencia (figura 7-38).

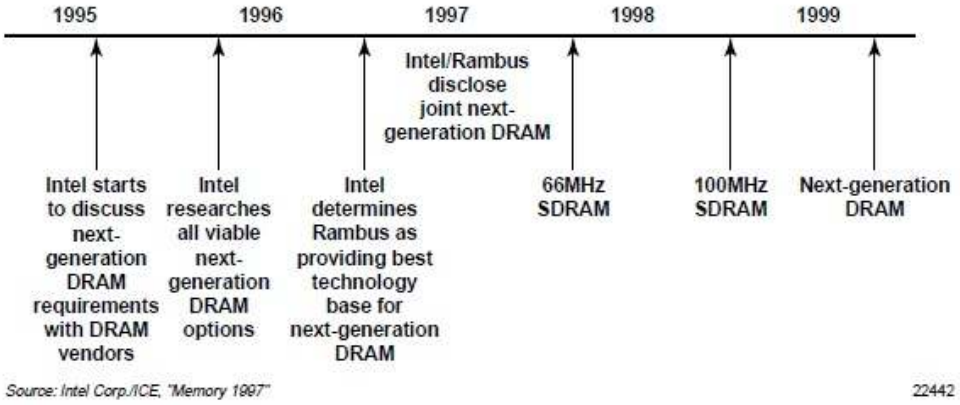

Figure 7-37. Intel/Rambus DRAM Cooperation

Memory Type	Page-Hit Latency (ns)	Page-Miss Latency[1] (ns)	Row-Access Latency (ns)	I/O Data Rate (MHz)	Peak Bandwidth[2] (Mbytes/s)	Interleaved Bank Bandwidth[2] (Mbytes/s)	Sustained Bandwidth[2] (Mbytes/s)
Fast-Page Mode	30	110	60	25	200	N/A	139
CDRAM[3]	10	70	70	100	800	N/A	320
EDRAM[3]	10	75	25	100	800	N/A	582
EDO	30	90	60	40	320	N/A	194
Fast EDO	20	60	35	66	533	N/A	305
Burst EDO	25	90	53	66	533	N/A	237
SDRAM[3]	30	70	60	100	800	800	320
SGRAM	30	90	60	100	800	800	267
RDRAM[4]	39	99	73	600	1,200	1,077	285
MDRAM	24	90	64	200	1,600	1,600	305
Multibank EDO EDRAM	12	30	25	100	800	N/A	582
Multibank Burst-EDO EDRAM	12	30	30	100	800	N/A	533
ESDRAM[5]	12	12	30	133	1,064	1,064	853

[1] Page-miss latency is time to access next random data after data burst.
[2] Bandwidth assumes 64-bit memory bus, except for RDRAM.
[3] Page-miss latency reduced by hidden precharge.
[4] Bandwidth for two parallel Rambus channels.
[5] Page-miss latency reduced by hidden precharge and random access.

Source: Electronic Products/ICE, "Memory 1997" 22611

Figure 7-38. Performance of New Memories

Todas las DRAMs avanzadas de siguiente generación por venir nos DRAMs multibanco. Lo que hace que la DRAM multibanco de MoSys sea diferente de las tecnologías DRAM previas está en que es la primera que da acceso total a algunos o todos los bancos – cada banco es una unidad de memoria totalmente independiente. Esto da a la MDRAM un grado de memoria granularizada no alcanzado por otras muchas alternativas DRAM. La figura 7-39 muestra la estructura de un chip MDRAM.

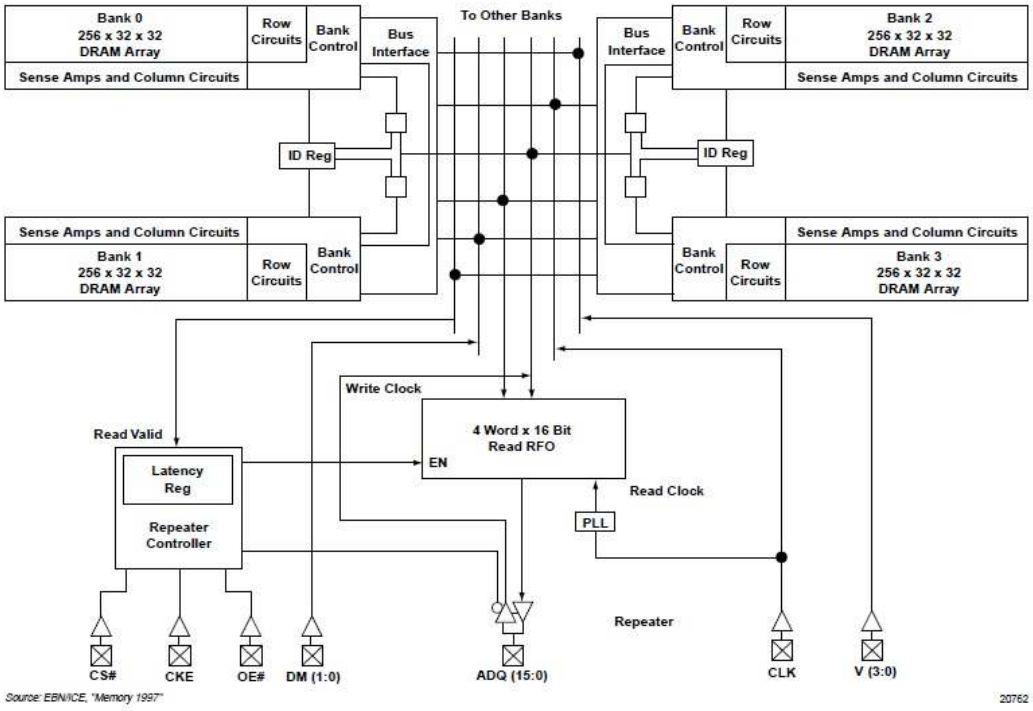

Figure 7-39. Multibank DRAM

DRAM Ferroeléctrica no volátil

La célula DRAM Ferroeléctrica no volátil (FRAM) está compuesta por un condensador y un transistor. La película del condensador usa un material ferroeléctrico, típicamente una película cerámica de PZT ("lead zirconium titanate"), para proporcionar un almacenamiento de datos no volátil. La célula de memoria funciona como una DRAM cuando se aplica alimentación, con la excepción de que no se necesita la regeneración. Cuando se apaga el suministro, el dato es mantenido. La figura 7-40 enseña el esquema eléctrico de una célula ferroeléctrica y la figura 7-41 enseña la curva de histéresis de un condensador ferroeléctrico.

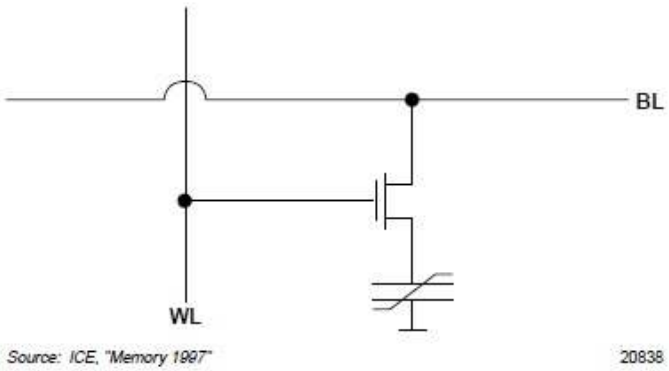

Figure 7-40. Ferroelectric Cell

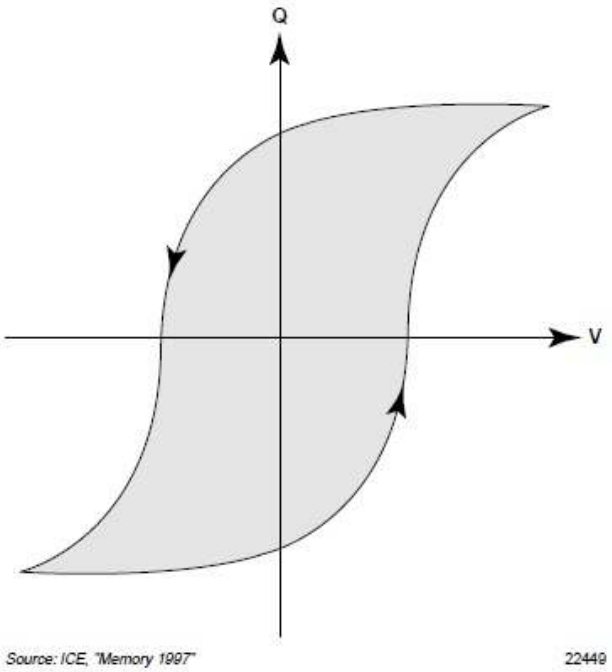

Figure 7-41. Hysteresis Curve of FRAM Cell Capacitor

Las FRAMs pueden operar y ser programadas con una simple tensión de alimentación. Además, los materiales ferroeléctricos exhiben unas constantes dieléctricas mucho mayores que las del SiO_2.

La Corporación Ramtron primero presentó el concepto FRAM en el ISSCC de 1988. A comienzos de 1995, Ramtron anunció la disponibilidad inmediata de 8 nuevos tipos de FRAM. Estos productos se ofertan en configuración de x8 bits y densidades de 4, 8 ó 16 Kbits. Bastantes fabricantes se unieron a Ramtron como socios para el desarrollo de las siguientes generaciones de FRAMs. La lista incluye Rohm, Hitachi, Toshiba, Fujitsu, y más recientemente (Enero de 1997), Samsung y SGS-Thomson.

Este producto está todavía en la fase de introducción de su ciclo de vida. La figura 7-42 muestra las ventajas de la FRAM sobre otros tipos de memoria.

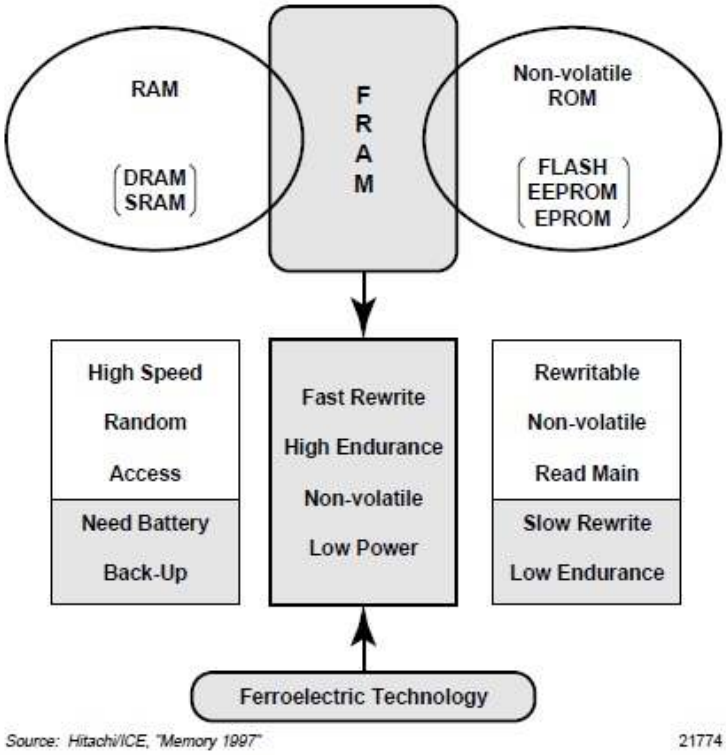

Figure 7-42. FRAM Application

Cycle Time	100ns
Power Supply	3.3V
t_{AA}	60ns
Active Current	50mA
Stand-By Current	10μA
Cell Size	6.2 x 5.6μm²
Chip Size	15.7 x 5.75mm²
Capacitor Dielectric	$SrBi_2Ta_2O_9$
Dielectric Remanent Polarization (Pr)	5μC/cm²
Minimum Metal Width	1μm

Source: NEC/ICE, "Memory 1997" 20839

Figure 7-43. NEC's 1Mbit FDRAM

In the 1996 ISSCC conference, NEC presented a 3.3V 1Mbit FRAM. The device used an oxide of Strontium-Bistmuth-Tantalum (SBT) as capacitor dielectric and had a cell size of 34.72μm^2. Figure 7-43 summarizes the main characteristics of this device.

FRAM technology is still in the development stages, but is finally emerging after years of R&D and limited production. Most companies are working at the 1Mbit density and plan to move toward development of 16Mbit devices.

La mayor densidad de FRAM actualmente disponible en el mercado son los 256 Kbits ofertados por Hitachi. El dieléctrico de esta FRAM está hecho de "lead zirconium titanate". Hitachi dijo que tenía preveía sacar dispositivos FRAM de 1 Mbit y 4 Mbits entre 1998 y 1999.

En la conferencia IEDM de 1996 Toshiba presentó un condensador de hoja de TiO_3 Epitaxial (Ba Sr) Ferroeléctrico (BST) para FRAM profundamente sub-micrónico.

La figura 7-44 muestra bastantes vendedores de DRAM y proporciona una guía rápida sobre la arquitectura que cada uno soporta.

Vendor	DRAM Architectures Offered	Rambus Licensee	SyncLink Consortium Member
Fujitsu	SGRAM, SDRAM	—	•
Hitachi	SGRAM, SDRAM, EDO DRAM	•	•
Hyundai	EDO DRAM	•	•
IBM	SRAM, SDRAM, EDO DRAM	—	•
LG Semicon	—	•	•
Micron	SGRAM, EDO DRAM	—	•
Mitsubishi	3-D RAM, cache DRAM, SDRAM, EDO DRAM	—	•
Mosel-Vitelic	EDO DRAM	—	•
NEC	SGRAM, SDRAM, Rambus DRAM, EDO DRAM	•	•
Oki	EDO DRAM, VRAM	•	•
Ramtron	Enhanced DRAM	—	—
Silicon Magic	EDO DRAM	—	—
Samsung	SGRAM, SDRAM, Windows RAM, EDO DRAM	•	•
Texas Instruments	SDRAM, VRAM, EDO DRAM	—	•
Toshiba	EDO DRAM, SDRAM, Rambus DRAM, VRAM	•	•

Source: Computer Design/ICE, "Memory 1997" 22681

Figure 7-44. DRAM Vendors Support Many Architectures